

Opis i symulacja układów cyfrowych za pomocą instrukcji symulatora PSpice (KPU ćw. 7)

1. Modele elementów

1. Każdy symulowany obwód może mieć charakter analogowy, cyfrowy lub mieszany, co oznacza, że w jednym obwodzie mogą jednocześnie występować elementy o modelach analogowych i elementy o modelach cyfrowych.
2. Spis bibliotek gotowych modeli cyfrowych w postaci podobwodów dla wielu rzeczywistych elementów można znaleźć w *PSpice Reference Manual (pspcref.pdf)* w paragrafie *Digital Model Libraries*. Cyfrowe układy scalone mogą też posiadać modele analogowe, tj. operujące na analogowych (ciągłych) napięciach, a nie na stanach logicznych; takie modele mają łatwo rozpoznawalną formę (por. poznane modele wzmacniaczy operacyjnych) i są zawarte w osobnych bibliotekach, niewyszczególnionych w paragrafie *Digital Model Libraries*. W dalszym ciągu przyjmiemy, że dla elementów cyfrowych używane są modele cyfrowe.
3. Modele cyfrowe w formie podobwodów wstawia się do opisu obwodu tak samo, jak podobwody analogowe (prefiks oznaczenia elementu: X). Modele cyfrowe można też tworzyć łącząc cyfrowe elementy niskopoziomowe (pojedyncze bramki, przerzutniki itp.); wymaga to zdefiniowania szeregu parametrów elektrycznych i czasowych, czego należy unikać, jeżeli tylko dostępny jest model podobwodowy.
4. Podobwody utworzone są z elementów niskopoziomowych. Te zaś wymagają skojarzenia konkretnego modelu wejść-wyjść, który odpowiada za konwersję między dziedziną logiczną (przebieg dyskretny) a elektryczną (przebieg ciągły). Modele te zawiera biblioteka *dig_io.lib*.
5. Symulator PSpice wyróżnia następujące stany cyfrowe:

Symbol	Stan	Linia na wykresie
0	niski	pojedyncza
1	wysoki	pojedyncza
X	nieokreślony	podwójna
Z	wysokiej impedancji	potrójna
R	narastania	podwójna z ukośnym kreskowaniem
F	opadania	podwójna z ukośnym kreskowaniem

2. Zasilanie elementów o modelach cyfrowych

1. Dla układów TTL i CMOS (oprócz rodziny CD4000) są definiowane globalne węzły zasilania: \$G_DPWR (Global Digital Power) i \$G_DGND (Global Digital Ground). Domyślnie pierwszemu z nich przypisany jest potencjał analogowy 5 V, a drugiemu 0 V.
2. Jeżeli istnieje potrzeba użycia napięcia zasilania innego niż domyślne, należy wstawić do obwodu podobwód DIGIFPWR (dostępny w bibliotece *dig_io.lib*), określając dla niego kolejno węzły: masy analogowej (zwykle 0) oraz zasilania i masy cyfrowej (można je nazwać dowolnie), a także definiując parametry: VOLTAGE (wartość potencjału zasilania) i REFERENCE (wartość potencjału masy). Następnie elementy cyfrowe należy przyłączać do tak utworzonych nowych węzłów zasilania zamiast do \$G_DPWR i \$G_DGND. W ten sposób możliwe jest także używanie wielu napięć zasilających w jednym obwodzie.
3. Dla układów CMOS z rodziny CD4000 węzły zasilania to \$G_CD4000_VDD i \$G_CD4000_VSS. Wartości odpowiadających im napięć można prosto zmienić globalnie, redefiniując parametry (instrukcją PARAM) CD4000_VDD i CD4000_VSS. Jeżeli konieczne jest zdefiniowanie więcej niż jednego napięcia zasilania, należy postępować jak w pkt. 2, wykorzystując podobwód CD4000_PWR.

3. Wymuszenia cyfrowe

1. Stały poziom wysoki albo niski sygnału cyfrowego można podać na końcówkę układu cyfrowego stosując zamiast nazwy rzeczywistego węzła etykietę odpowiednio \$D_HI (Digital High Level) albo \$D_LO (Digital Low Level).
2. Wymuszenia cyfrowe zmienne w czasie muszą być opisywane jako cyfrowe elementy niskopoziomowe (prefiks oznaczenia elementu: U): STIM – w przypadku, gdy opis znajduje się bezpośrednio w pliku CIR, lub FSTIM – gdy znajduje się on w pliku zewnętrznym. Opis obu tych elementów wraz z przykładami znajduje się w *PSpice Reference Manual (pspcref.pdf)* w paragrafie *Stimulus Devices*. W szczególności, aby uzyskać sygnał okresowy, należy w jego definicji użyć pętli *REPEAT FOREVER ... ENDREPEAT*.
3. Jak każdy element niskopoziomowy, także elementy STIM i FSTIM wymagają skojarzenia modelu wejść-wyjść. Podstawowym i zwykle wystarczającym modelem dla generatorów jest *IO_STM*.
4. Aby umożliwić bezproblemowe skalowanie całego sygnału przy zmianie częstotliwości, z reguły w definicjach wymuszeń korzysta się ze względnej jednostki czasu *c*, której odpowiada liczba sekund określona parametrem *TIMESTEP* (może być ona dowolna i różna dla różnych wymuszeń w tym samym obwodzie).

4. Wyświetlanie wyników

1. W przypadku układów cyfrowych sens ma jedynie analiza czasowa, uruchamiana i konfigurowana instrukcją TRAN identycznie jak dla układów analogowych.
2. W programie Probe w oknie *Add Traces* widoczne będą sygnały analogowe, oznaczone tradycyjnie $V(x)$ – napięcia (gdzie x – nazwa węzła) albo $I(y)$ – prądy (gdzie y – nazwa elementu lub jego końcówki) oraz sygnały cyfrowe, tj. stany logiczne w poszczególnych węzłach, oznaczone po prostu z (gdzie z – nazwa węzła). Prądy dostępne są wyłącznie dla elementów analogowych, napięcia – dla węzłów połączonych z przynajmniej jednym elementem analogowym, zaś stany logiczne – dla węzłów połączonych z przynajmniej jednym elementem cyfrowym. Dla węzłów połączonych zarówno z elementami analogowymi, jak i cyfrowymi, dostępne są więc jednocześnie napięcia i stany logiczne.
3. Jeżeli w danym węźle zachodzi konieczność konwersji wartości napięcia na stan wejścia cyfrowego lub odwrotnie (gdyż są do niego przyłączone zarówno elementy analogowe, jak i cyfrowe), to dokonuje się to w oparciu o model wejść-wyjść skojarzony z elementami cyfrowymi. Wynikowe sygnały cyfrowe oznaczane są sufiksami „\$AtoD” (wejście elementu cyfrowego) lub „\$DtoA” (wyjście elementu cyfrowego).
4. Sygnały cyfrowe wykreślane są na specjalnym podwykresie bez skali napięcia, tworzonym automatycznie po dodaniu pierwszego sygnału cyfrowego. Osobny podwykres cyfrowy zostanie utworzony dla każdego podwykresu analogowego tworzonych przez *Plot* ▶ *Add Plot*. Rozmiar podwykresu cyfrowego można zmienić z menu *Plot* ▶ *Digital Size*.
5. Sygnały cyfrowe można wyświetlać w grupach, których stan jest wyświetlany jako liczba (domyślnie – szesnastkowa) utworzona z bitów odpowiadających sygnałom składowym. W tym celu w oknie *Add Traces* należy po kolei wybrać z listy sygnały składowe (od najbardziej do najmniej znaczącego bitu), rozdzielając je spacjami, a następnie ująć całą grupę w nawiasy klamrowe.