

Projekt licznika na poziomie układu logicznego

Projektowanie układów tego typu było omawiane na przedmiocie Układy logiczne. Można się również oprzeć na książkach: Leszczyński, „Teoria układów logicznych”, rozdz. 2–4 i 5.5–5.6, i Kalisz, „Podstawy elektroniki cyfrowej”, rozdz. 4.2.5 i 8.3.6.

Założenia projektu:

- 1) po osiągnięciu wartości końcowej licznik przechodzi do wartości początkowej;
- 2) do kodowania stanów należy wykorzystać naturalny kod binarny;
- 3) należy wykorzystać przerzutniki T;
- 4) należy zapobiec zapętleniu licznika w jednym ze stanów niewykorzystanych;
- 5) w pierwszej kolejności należy się starać wykorzystać bramki fizycznie najszybsze (w technologii CMOS), a więc NAND, następnie AND, NOR, OR.

Kolejne etapy projektowania, których wyniki należy zawrzeć w sprawozdaniu, to:

1. Narysowanie grafu przejść z „wiszącymi” stanami niewykorzystanymi.
2. Wypełnienie tablicy przejść ($Q_2Q_1Q_0 \rightarrow Q_2'Q_1'Q_0'$).
3. Wypełnienie tablicy wzbudzeń przerzutników ($Q_2Q_1Q_0 \rightarrow T_2T_1T_0$) zgodnie z zasadą działania przerzutnika T. Tablice przejść i wzbudzeń zwykle rysuje się jako jedną tablicę, bo tak jest prościej.
4. Minimalizacja funkcji boolowskich T_2 , T_1 i T_0 (opisanych w tablicy wzbudzeń) z pomocą tablic Karnaugh. Proszę pamiętać o zrobieniu właściwego użytku ze stanów niewykorzystanych.
5. Uzupełnienie tablicy przejść i grafu przejść o przejścia wynikłe z wykorzystania wolnych stanów w trakcie minimalizacji, zgodnie z uzyskanymi zminimalizowanymi funkcjami wzbudzeń T_2 , T_1 , T_0 , i sprawdzenie, czy wynik gwarantuje poprawną pracę układu.
6. Przekształcenie uzyskanych funkcji wzbudzeń do postaci umożliwiającej wykorzystanie bramek jak podano wyżej.
7. Wykonanie schematu układu logicznego (na poziomie przerzutników i bramek) odpowiadającego wyprowadzonym równaniom.
8. Test układu logicznego w programie DSch według dokumentu „How to validate your counter design with DSch”.