



LABORATORIUM PRZYRZĄDÓW I UKŁADÓW MOCY

# Ćwiczenie 3P

## Praca łącznikowa tranzystorów mocy

### Tranzystor MOSFET mocy

Opracowanie ćwiczenia i instrukcji:  
Łukasz Starzak

Łódź 2020



## Spis treści

<b>B Wprowadzenie do ćwiczenia .....</b>	<b>5</b>
1. Cel i przebieg ćwiczenia.....	5
2. Przełączanie tranzystora VDMOS .....	7
2.1. Tranzystory MOSFET mocy .....	7
2.1.a. Struktury półprzewodnikowe.....	7
2.1.b. Najważniejsze cechy tranzystorów MOSFET mocy .....	8
2.2. Obwód sterowania tranzystora VDMOS .....	9
2.2.a. Tranzystory polowe z izolowaną bramką.....	9
2.2.b. Indukcja kanału .....	9
2.2.c. Końcówki, obwody i warstwy .....	9
2.2.d. Sterowanie napięciowo-ładunkowe.....	12
2.3. Pojemności struktury VDMOS.....	14
2.3.a. Pojemności zastępcze struktury i schematu zastępczego.....	14
2.3.b. Pojemność bramka-źródło i zagadnienia ogólne .....	15
2.3.c. Pojemność dren-źródło .....	15
2.3.d. Pojemność bramka-dren .....	16
2.3.e. Parametry katalogowe .....	17
2.4. Wpływ pojemności na stany dynamiczne.....	19
2.4.a. Analizowany układ pracy .....	19
2.4.b. Etap 1 – opóźnienie załączania.....	19
2.4.c. Etap 2 – właściwe załączanie .....	22
2.4.d. Napięcie wejściowe tranzystora w etapie 2 .....	22
2.4.e. Efekt Millera .....	23
2.4.f. Etap 3 – ustalenie stanu obwodu bramki .....	24
2.4.g. Wyłączanie .....	25
2.4.h. Parametry pojemnościowe a praktyka projektowa.....	25
2.5. Przełączanie z obciążeniem indukcyjnym.....	26
2.5.a. Analizowany układ pracy .....	26
2.5.b. Wyłączanie .....	28
2.5.c. Załączanie.....	28
2.5.d. Trajektoria punktu pracy.....	29
2.5.e. Wpływ indukcyjności pasożytniczych na obciążenie rezystancyjne .....	29
2.6. Dynamiczne parametry czasowe tranzystorów MOSFET mocy .....	32
2.6.a. Definicje fizyczne.....	32
2.6.b. Praktyka pomiarowa.....	33
<b>C Doświadczenie.....</b>	<b>35</b>
3. Pomiary.....	35
3.1. Opis układu pomiarowego .....	35
Opis układu .....	35
3.2. Rezystancja obwodu głównego.....	37
3.3. Przygotowanie do rejestracji przebiegów w funkcji czasu .....	39
Konfiguracja układu pomiarowego.....	39
Pomiar próbny.....	41
3.4. Wykonanie pomiarów przebiegów.....	43
Pełny cykl przełączania .....	43
Dokładna obserwacja stanu załączania i stanu wyłączania.....	43
Obwód bramki przy zerowym napięciu dren-źródło .....	44
Zakończenie pomiarów .....	44

<b>D Wyniki .....</b>	<b>45</b>
4. Opracowanie i analiza wyników .....	45
4.1. Tranzystor jako łącznik i parametry stanów statycznych.....	45
Cykl przełączania.....	45
Rezystancja dren-źródło i napięcie progowe.....	45
Tranzystor jako łącznik w stanach statycznych.....	45
Działanie w stanach dynamicznych.....	45
4.2. Trajektoria punktu pracy .....	46
Uruchomienie programu Octave .....	46
Wykreślenie trajektorii punktu pracy i mocy strat .....	46
Analiza wyników .....	47
<b>E Informacje.....</b>	<b>49</b>
5. Wymagana wiedza.....	49
5.1. Przygotowanie do wykonywania ćwiczenia.....	49
5.2. Zakres kolokwium.....	49
6. Literatura.....	50

# B

## Wprowadzenie do ćwiczenia

---

### 1. Cel i przebieg ćwiczenia

---

Celem niniejszego ćwiczenia jest analiza działania tranzystora mocy w roli łącznika półprzewodnikowego. Jako przykładowy przedstawiciel tej grupy przyrządów zostanie zbadany tranzystor MOSFET, co jednocześnie umożliwi zapoznanie się ze sterowaniem polowym przez bramkę izolowaną. W pierwszej części ćwiczenia obserwacje będą dotyczyć pracy statycznej, natomiast w drugiej – dynamicznej, tj. procesów przełączania.

Omówienie budowy i działania tranzystora VDMOS można znaleźć w dostępnej literaturze [1], jest ono również szczegółowo analizowane w ramach wykładu. Z tego powodu w niniejszej instrukcji zostaną bliżej omówione jedynie wybrane zagadnienia związane bezpośrednio z wykonywanym ćwiczeniem. W przypadku wiadomości o podstawowych zjawiskach fizycznych (przewodnictwo unipolarne, blokowanie napięcia na złączu, obszar ładunku przestrzennego) należy odwołać się dodatkowo do instrukcji 0.



## 2. Przełączanie tranzystora VDMOS

---

### 2.1. Tranzystory MOSFET mocy

#### 2.1.a. Struktury półprzewodnikowe

Tranzystory MOSFET (ang. *Metal-Oxide-Semiconductor Field Effect Transistor* 'tranzystor polowy ze strukturą metal-tlenek-półprzewodnik') są szeroko stosowane w układach elektroniki mocy. Aby umożliwić takie zastosowanie, konieczne było opracowanie specjalnych konstrukcji wysokonapięciowych i silnoprądowych. Pierwsza taka struktura została wynaleziona w roku 1974.

W celu zapewnienia odpowiedniej wytrzymałości napięciowej, tranzystory MOSFET są wykonywane często jako struktury pionowe – podobnie jak np. dioda PIN i wiele innych przyrządów półprzewodnikowych mocy. Oznacza to, że jeżeli płytkę krzemową ułożymy w taki sposób, że oryginalne podłoże krzemowe będzie w pozycji poziomej, to droga przepływu prądu głównego ma kierunek pionowy. W ten sposób można uzyskać szeroką (w przypadku struktury pionowej – *de facto* wysoką) warstwę słabo domieszkowaną bez znacznego zużycia powierzchni płytki krzemowej. Warstwa taka jest, jak wiadomo, niezbędna dla wysokiej wytrzymałości napięciowej.

Trzy najpopularniejsze obecnie struktury pionowe tranzystorów MOSFET mocy to (w historycznej kolejności):

- 1) **tranzystor pionowy z podwójną dyfuzją VDMOS** (ang. *Vertical Double-Diffused MOS*) – w którym bramka znajduje się poziomo nad górną powierzchnią płytki krzemowej, a miejsce dla kanału wytwarza się poprzez dyfuzję w podłożu krzemowym (które stanowi dren tranzystora) najpierw słabiej domieszkowanej warstwy podłoża tranzystora, a następnie silnie domieszkowanej warstwy źródła tranzystora;
- 2) **tranzystor rowkowy** (ang. *Trench MOSFET*) – w którym bramka jest umieszczana w pionowych rowkach trawionych od górnej powierzchni płytki krzemowej, co pozwala na gęstsze upakowanie komórek tranzystorowych, jednak ogranicza napięcie przebicia;
- 3) **tranzystor superzłączowy SJFET** (ang. *Superjunction FET*) – dla którego charakterystyczne jest naprzemienne ułożenie drenu i podłoża w postaci pionowych wąskich pasów, co w stanie blokowania wywołuje specyficzny efekt polowy złączowy (poprzeczne pole elektryczne), zwiększający wytrzymałość napięciową przyrządu.

Pierwsza z wymienionych struktur, mimo że najstarsza, nadal jest najpopularniejszą (z ewentualnymi modyfikacjami), szczególnie w najwyższym zakresie napięć (400–1000 V). W zakresie niższych napięć (do 200 V) popularne są tranzystory rowkowe.

Rozwój technologii półprzewodnikowej pozwolił także na opracowanie lepszych (bardziej wytrzymałych) konstrukcji poziomych. Najpopularniejszą jest **poziomy tranzystor z podwójną dyfuzją – LDMOS** (ang. *Lateral Double-Diffused MOSFET*). Różni się on od tranzystora VDMOS tym, że elektroda drenu znajduje się również (tak jak źródło i bramka) na górnej powierzchni krzemu.

Tranzystory poziome używane są głównie w układach scalonych mocy. Nie osiągają jednak dużych wytrzymałości napięciowych – do kilkadziesiąt woltów. Jest to spowodowane występowaniem pola elektrycznego równoległego do górnej powierzchni krzemu. Jak wiadomo, oznacza to obniżenie krytycznej wartości natężenia pola i szybsze jego narastanie z przyłożonym napięciem.

### 2.1.b. Najważniejsze cechy tranzystorów MOSFET mocy

W strukturach tranzystorów MOSFET mocy najczęściej **warstwa słabo domieszkowana** jest typu N. Zawsze jest to warstwa drenu, co wynika z konieczności blokowania napięcia w kierunku przewodzenia, a więc na złączu podłoże-dren (patrz paragraf 2.2.c). Wybór przewodnictwa elektronowego wynika z faktu, że rezystancja tranzystora MOSFET – jako przyrządu unipolarnego – jest i tak wysoka wobec niskiego poziomu domieszkowania najszerzej warstwy. W związku z tym dalsze obniżenie konduktywności wynikające z niższej ruchliwości dziur niż elektronów, jest bardzo niepożądane. Z tego powodu nasze rozważania ograniczymy wyłącznie do struktur z kanałem typu N.

Z powyższego punktu widzenia **unipolarny mechanizm przewodnictwa** jest oczywiście niekorzystny. Do popularności tranzystorów MOSFET w układach mocy musiał się więc przyczynić inny czynnik. Jest nim mechanizm sterowania – polowy z izolowaną bramką. Oznacza on brak przepływu stałego prądu, co stanowiło znaczący postęp w stosunku do wcześniej stosowanych tranzystorów bipolarnych BJT – sterowanych prądowo. Dlatego właśnie mechanizm sterowania stanowić będzie główny obiekt naszego zainteresowania w niniejszym ćwiczeniu.

Równie znacząca jest również **duża szybkość przełączania**, która stanowi zaletę przyrządów unipolarnych. W przyrządzie unipolarnym nośniki mniejszościowe są zasadniczo nieobecne na ścieżce przepływu prądu. W związku z tym załączanie i wyłączanie takiego przyrządu może się odbywać w bardzo krótkim czasie, rzędu czasu przelotu nośnika przez warstwę słabo domieszkowaną (kilka nanosekund). To również stanowiło rewolucyjną zmianę w stosunku do wcześniej znanych przyrządów mocy (diody, tyrystory, tranzystory BJT).



## 2.2. Obwód sterowania tranzystora VDMOS

### 2.2.a. Tranzystory polowe z izolowaną bramką

Działanie **polowych przyrządów półprzewodnikowych** (ang. *field effect semiconductor devices*) opiera się w ogólności na utworzeniu lub likwidacji w warstwie półprzewodnikowej (**podłożu**, ang. *bulk, substrate*) ścieżki przewodzącej (**kanalu**, ang. *channel*), w wyniku wytworzenia w nim pola elektrycznego, poprzez oddziaływanie za pośrednictwem elektrody sterującej (**bramki**, ang. *gate*). Do polowych przyrządów mocy zaliczają się tranzystory MOSFET i IGBT, tyrystory MCT oraz – nie produkowane komercyjnie – przyrządy z indukcją statyczną (SIT, SITH i in.)

Najpopularniejsze przyrządy polowe mocy to **tranzystory polowe z izolowaną bramką** (ang. *insulated gate field effect transistors, IGFET*) – tj. w których elektroda bramki jest odizolowana od podłoża, z **kanalem wzbogacającym** (ang. *enhancement mode*) – tj. w których oddziaływanie powoduje utworzenie (a nie likwidację) kanału.

Działanie przyrządów z izolowaną bramką opiera się na **strukturze MOS** (ang. *Metal-Oxide-Semiconductor* ‘metal-tlenek-półprzewodnik’). Słowo *metal* pochodzi z czasów, gdy bramki były zawsze wytwarzane z metalu. Obecnie zwykle stosuje się krzem polikrystaliczny. W strukturze MOS bramka jest izolowana od podłoża przez cienką warstwę tlenku. Rys. 1a przedstawia taką strukturę z podłożem typu P.

### 2.2.b. Indukcja kanału

W przyrządzie z kanałem wzbogacającym, w wyniku przyłożenia napięcia między bramką a podłożem, w warstwie podłoża pod bramką powstaje **warstwa zubożona** (ang. *depletion layer*), tzn. taka, z której nośniki rdzenne są wypierane przez powstałe pole elektryczne, a przyciągane są nośniki przeciwnego typu. Przy odpowiednio wysokim napięciu koncentracja nośników napływowych w cenniej warstwie bezpośrednio pod bramką staje się większa niż nośników rdzennych. Mówimy wówczas, że utworzyła się **warstwa inwersyjna** (ang. *inversion layer*) – o typie przewodnictwa przeciwnym niż podłożem, w którym się znajduje (rys. 1b).

Powstanie warstwy inwersyjnej można również rozważać na bazie teorii pasm energetycznych. Odpowiada ono wówczas takiemu zagięciu poziomów energetycznych półprzewodnika bezpośrednio pod bramką, że poziom Fermiego  $W_F$  przechodzi na drugą stronę poziomu Fermiego półprzewodnika niedomieszkowanego  $W_{Fi}$ . Przykładowo, jeżeli w podłożu P normalnie poziom Fermiego znajduje się bliżej pasma walencyjnego, to w warstwie inwersyjnej jest on zagięty tak, że znajduje się bliżej pasma przewodnictwa. Oznacza to większą koncentrację elektronów niż dziur, a więc utworzenie warstwy o charakterze N – przeciwnym do podłoża, w którym się znajduje.

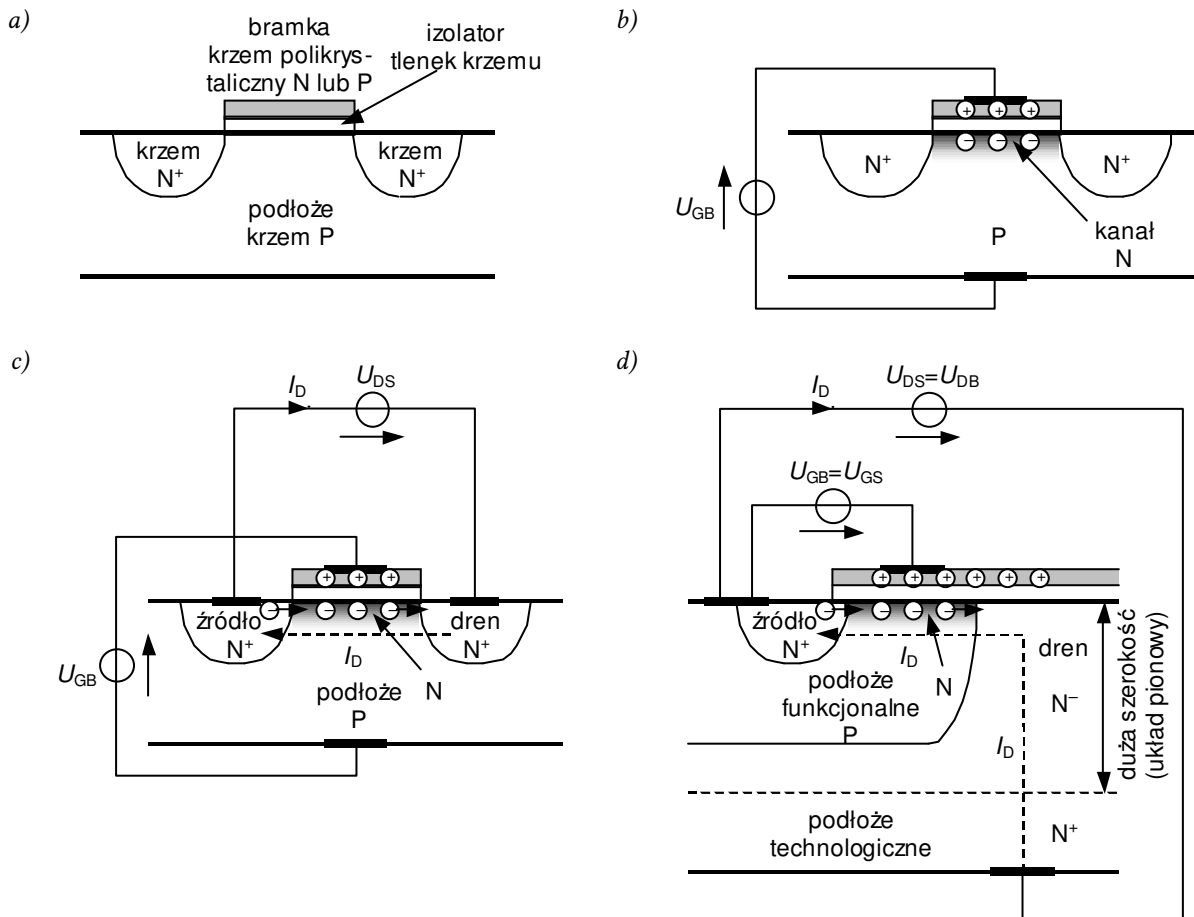
Do odpowiedniego zagięcia poziomów energetycznych, czy też wytworzenia odpowiednio silnego pola elektrycznego, konieczne jest przekroczenie pewnej wartości napięcia bramka-podłożem, nazywanej **napięciem progowym**  $U_{th}$  (ang. *threshold voltage*). Wartość ta zależy głównie od materiału bramki, koncentracji domieszek w podłożu i grubości tlenku izolującego te dwie warstwy.

Utworzenie warstwy inwersyjnej nazywa się inaczej **indukcją kanału**, czyli ścieżki, którą będą mogły przepływać nośniki między sąsiednimi warstwami półprzewodnika – o typie przewodnictwa przeciwnym niż podłożem i identycznym, co warstwa inwersyjna. Przepływ prądu nastąpi, jeżeli te sąsiednie warstwy silnie domieszkowane zostaną odpowiednio spolaryzowane względem siebie (rys. 1c).

### 2.2.c. Końcówki, obwody i warstwy

Obszar, który w wyniku polaryzacji obwodu głównego dostarcza nośniki (w rozważanym przypadku – elektrony) do kanału, nazywa się **źródłem** (ang. *source*), zaś obszar, który absorbuje nośniki – **drenem** (ang. *drain*). Elektrody drenu (D) i źródła (S) są końcówkami **obwodu głównego** tranzystora MOSFET, natomiast elektroda bramki (G) jest **końcówką sterującą**.

Pod względem końcówek, tranzystory MOSFET mocy różnią się od tranzystorów sygnałowych trzema ważnymi cechami, które mają wpływ na sterowanie.



Rys. 1. Działanie struktury MOS z kanałem wzbogacającym typu N: a) bez polaryzacji zewnętrznej; b) z polaryzacją bramka-podłoże; c) z polaryzacją obwodu głównego; d) układ warstw typowy dla wysokonapięciowych pionowych tranzystorów MOSFET mocy

1. Tranzystory mocy są **asymetryczne** – nie istnieje możliwość zamiany ról drenu i źródła, jak to teoretycznie ma miejsce w przypadku sygnałowych tranzystorów MOSFET. Wynika to z konieczności blokowania wysokich napięć w obwodzie głównym (dren-źródło). W stanie blokowania wstecznie spolaryzowane jest złącze podłoże-dren. W związku z tym słabo domieszkowany i szeroki musi być obszar podłoża lub drenu.

Jednak duża szerokość podłoża oznaczałaby długi poziomy kanał – a więc zwiększenie obszaru zajmowanego przez komórkę tranzystora, oraz występowanie poziomego pola elektrycznego zaraz pod górną powierzchnią krzemu – co obniżyłoby wytrzymałość napięciową. Z tych powodów to obszar drenu powinien mieć dużą szerokość i najlepiej, aby był to wymiar pionowy (patrz rys. 1d) – gdyż takie komórki da się upakować gęściej obok siebie oraz minimalizuje się problemy z polem elektrycznym.

Wytworzenie symetrycznego złącza źródło-podłoże jest więc niemożliwe (ułożenie w pionie drugiej warstwy całkowicie izolowanej od drenu) oraz niecelowe (zwiększyłoby rezystancję przyrządu przez wprowadzenie kolejnej warstwy słabo domieszkowanej o dużych wymiarach).

Układ warstw źródło-dren wymusza określony sposób sterowania tranzystorem VDMOS. Tranzystorem sygnałowym można sterować dowolnie – względem źródła lub względem drenu. W przypadku tranzystorów mocy duże rozmiary struktur powodują, że należy skracać długość obwodu sterowania w maksymalnym możliwym stopniu.

Aby oddziaływanie bramki mogło być skuteczne – a do przewodzenia dużych prądów konieczne jest wytworzenie „porządnego” kanału – powinna ona

znajdować się jak najbliżej drugiej elektrody obwodu sterowania. Dlatego **obwód sterowania** tranzystora VDMOS mogą tworzyć tylko bramka i źródło, które znajdują się blisko siebie na tej samej – górnej – powierzchni płytki krzemowej.

2. Tranzystory mocy są **przyrządami trzykońcówkowymi** – bez wyprowadzonej elektrody podłoża, która jest na stałe zwarta ze źródłem przez kontakt metaliczny (patrz rys. 1d). Jak wiadomo, polaryzacja podłoża względem źródła pozwala zmodyfikować napięcie progowe tranzystora, jednak w przypadku układów mocy byłoby to niepotrzebną komplikacją.

Tranzystory mocy są bowiem stosowane w roli łączników, a więc możliwość zmiany napięcia progowego wiele by nie wniosła. Przyrządy te i tak są wyłączane napięciem zerowym, a załączane – po prostu na tyle dużym, by załączenie to było pewne i wprowadziło przyrząd głęboko w zakres liniowy. Stan nasycenia – a to głównie na niego miałyby wpływ napięcie progowe – jest nieistotny.

Rozważając podłoże należy zauważyć, że w strukturach mocy występuje podłoże technologiczne i podłoże funkcjonalne. Pojęcie **podłoża technologicznego** odnosi się do technologii wytwarzania przyrządów półprzewodnikowych, które zawsze są wytwarzane w lub na płycie bazowej. Tę rolę pełni dolna warstwa  $N^+$ , silnie domieszkowana w celu realizacji kontaktu omowego (a nie złącza Schottky'ego). Ze względu na elektryczne połączenie z warstwą  $N^-$ , z funkcjonalnego punktu widzenia podłoże technologiczne należy do drenu.

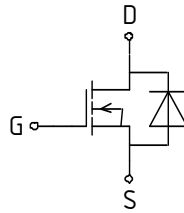
Z kolei **podłoże funkcjonalne** odnosi się do elektrycznej funkcji warstwy będącej miejscem wytwarzania kanału. Tę rolę pełni warstwa P dyfundowana w wytwarzanej epitaksjalnie (ze względu na możliwość precyzyjnego ustalenia wysokości i domieszkowania) warstwie  $N^-$ .

3. Struktury tranzystorów mocy uniemożliwiają zamianę roli źródła i drenu również z innego powodu. Gdy tranzystor (obwód główny) jest spolaryzowany w kierunku przewodzenia (dodatni potencjał drenu względem źródła), złącze  $PN^-$  (podłoże-dren) jest spolaryzowane zaporowo. Jednak przy odwrotnej polaryzacji obwodu głównego będzie ono spolaryzowane w kierunku przewodzenia, a więc po prostu zacznie **przewodzić prąd wsteczny** (wsteczny względem tranzystora jako całości, tj. przy ujemnej polaryzacji jego obwodu głównego; dla samego złącza jest to zwyczajny prąd przewodzenia). To działanie złącza opisuje się najczęściej jako działanie dodatkowej diody włączonej przeciwnoległe (tj. z odwrotnym kierunkiem przewodzenia) do obwodu dren-źródło zasadniczego tranzystora MOS – tzw. **diody podłożowej** (ang. *body diode*).

Właściwość ta może być niekiedy przydatna, jednak sprawia, że kontrolowane działanie tranzystora jest możliwe tylko w ściśle określonym kierunku (polaryzacji obwodu głównego). W drugim kierunku oddziaływanie na fakt przepływu prądu za pośrednictwem bramki MOS jest niemożliwe (można co najwyżej nieznacznie zmienić charakterystykę prądowo-napięciową).

Przy okazji wnioskujemy, że tranzystor MOSFET mocy nie posiada stanu zaworowego, ale drugi stan przewodzenia – w kierunku wstecznym. W stanie tym obwód sterowania nie ma wpływu na przełączanie przyrządu.

Przedstawiony na rys. 2, pełny symbol tranzystora MOSFET mocy o strukturze VDMOS i podobnych uwzględnia powyższe szczególne właściwości. Pokazuje on, że źródło jest wewnętrznie zwarte z podłożem, zaś równoległe do kanału między drenem a źródłem występuje złącze  $PN$  (dioda podłożowa), w wyniku czego przy polaryzacji wstecznej obwodu głównego (ujemne napięcie dren-źródło) tranzystor przewodzi. W praktyce dla uproszczenia wykorzystuje się również zwykły, ogólny symbol tranzystora MOSFET. Zasadniczo nie jest to jednak poprawne i rodzi ryzyko błędnej interpretacji schematu z punktu widzenia zachowania się tranzystora.



Rys. 2. Symbol tranzystora MOSFET mocy (tu z kanałem typu N) o strukturze VDMOS i podobnych – ze złączem PN między drenem a źródłem

#### 2.2.d. Sterowanie napięciowo-ładunkowe

Ze względu na izolację bramki od struktury półprzewodnikowej, przepływowi prądu głównego nie towarzyszy przepływ żadnego prądu sterującego. Odróżnia to przyrządy polowe od innych przyrządów mocy, takich jak na przykład:

- tranzystory bipolarne złączowe (BJT) – gdzie do przepływu prądu w obwodzie głównym kolektor-emiter niezbędny jest stały przepływ prądu w obwodzie sterowania baza-emiter,
- tyrystory (konwencjonalne SCR, triaki i in.) – w których do zainicjowania i podtrzymania przepływu prądu głównego anoda-katoda wymagany jest odpowiednio wysoki i długi impuls prądu w obwodzie sterowania bramka-katoda.

Jeżeli jednak bliżej przyjrzeć się strukturze tranzystorów polowych z izolowaną bramką, okaże się, że nie jest możliwe ich użytkowanie bez przepływu *jakiegokolwiek* prądu w obwodzie sterowania. Zauważmy bowiem, że **układ bramka-tlenek-podłoże stanowi kondensator**. Tlenek pełni w nim rolę izolatora, natomiast bramka i podłoże – elektrod (okładek). Jeżeli między bramką a podłożem ma zostać wytworzone pewne napięcie w celu utworzenia kanału i załączenia przyrządu, to napięcie to nie może pojawić się skokowo.

Konieczne będzie naładowanie kondensatora, czyli dostarczenie doń odpowiedniego ładunku zgodnie z zależnością

$$Q_G = C_{G(\text{eff})} U_{GS} \quad (2.1)$$

gdzie  $C_{G(\text{eff})}$  jest jakąś wypadkową pojemnością bramki, zaś  $U_{GS}$  – wymuszonym napięciem między bramką a podłożem (czyli również źródłem). Podobnie, jeżeli w celu wyłączenia tranzystora wymuszone zostaje zerowe napięcie  $U_{GS}$ , musi nastąpić rozładowanie kondensatora, czyli odprowadzenie takiego samego ładunku.

Powyższe zjawisko jest słabo obserwowalne w tranzystorach małej mocy. Jak jednak wiadomo, pojemność kondensatora płaskiego o powierzchni okładek  $A$ , odległości między nimi  $d$  i przenikalności elektrycznej dielektryka  $\epsilon$  można wyrazić jako

$$C = \frac{\epsilon A}{d} \quad (2.2)$$

Pojemność związana z bramką da się przybliżyć właśnie przez kondensator płaski (ściślej – równoległe połączenie kilku kondensatorów, jednak w tej chwili chodzi nam tylko o ogólny obraz zjawisk). W modelu tym  $\epsilon$  jest przenikalnością elektryczną tlenku  $\epsilon_{\text{ox}}$ ,  $d$  jest grubością tlenku  $t_{\text{ox}}$ ,  $A$  jest powierzchnią bramki.

Tranzystory MOSFET mocy – w celu umożliwienia przewodzenia dużych prądów – składają się z bardzo dużej liczby przylegających do siebie elementarnych komórek. W wyniku tego sumaryczna powierzchnia bramki  $A$  jest znaczna. Dlatego wszelkie pojemności struktury osiągają na tyle znaczne wartości, że ich wpływ na działanie przyrządu jest widoczny i nie może być zaniedbany.

Przepływ ładunku do bramki i z powrotem to z definicji prąd elektryczny, przy czym prąd bramki  $i_G$ , dostarczony (lub odebrany) ładunek i czas (załączania  $t_{on}$ , wyłączania  $t_{off}$ ) łączy zależność

$$\Delta q_G = \int_{t_{on}} i_G dt = - \int_{t_{off}} i_G dt \quad (2.3)$$

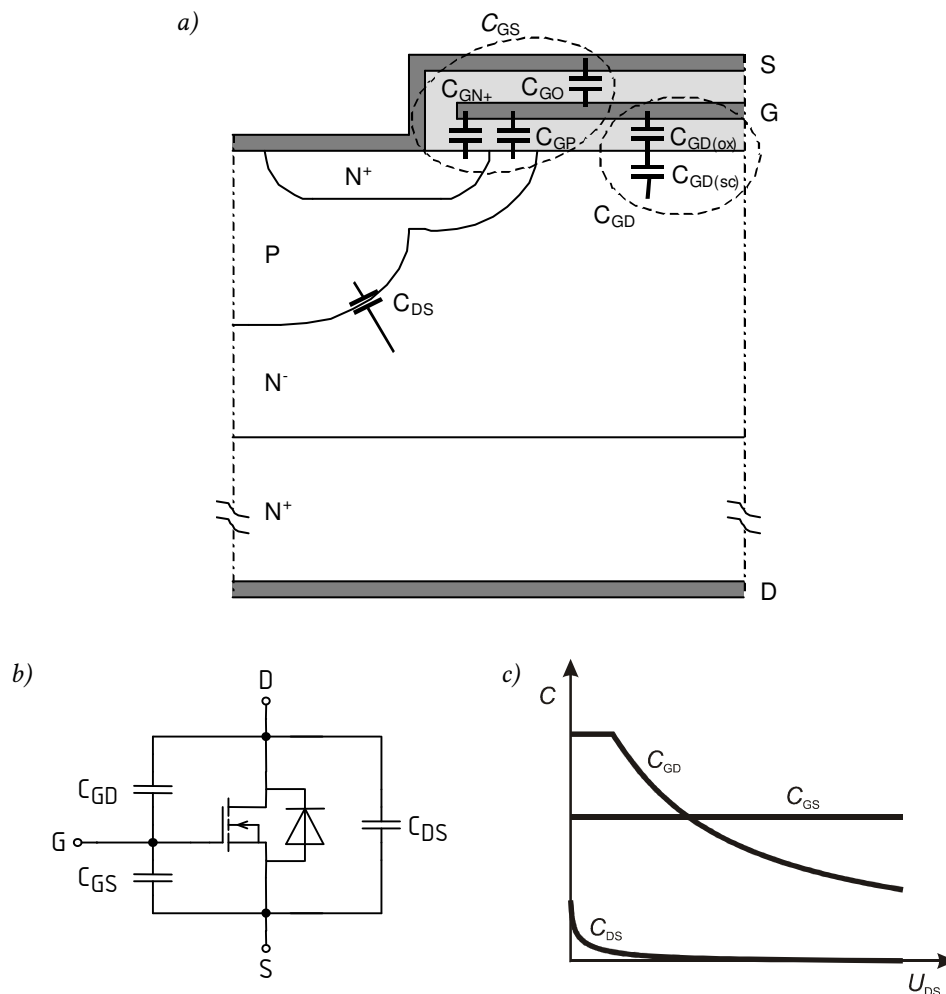
A więc chociaż o przyrządach polowych mówi się czasem, że są sterowane napięciowo, nie jest to do końca ściśle. Istotnie, obecność kanału przewodzącego wynika z przyłożenia napięcia między bramką a źródło. Jednak aby napięcie to mogło się pojawić, wymagane jest dostarczenie ładunku do pojemności bramka-półprzewodnik. Dlatego w stosunku do tranzystorów polowych mocy precyzyjniejsze jest stwierdzenie, że są one **sterowane napięciowo-ładunkowo**.

Mimo przepływu prądu bramki  $i_G$ , nie mówimy o sterowaniu prądowym. Mamy bowiem do czynienia z przepływem prądu w skończonym czasie. Zarówno amplituda, jak i czas przepływu prądu narzucone są przez całkę (2.3), której wartość zależy od pojemności struktury i napięcia sterującego (2.1). Tak więc prąd jest jedynie medium, za pomocą którego dostarczana jest faktyczna wielkość sterująca – ładunek.

## 2.3. Pojemności struktury VDMOS

### 2.3.a. Pojemności zastępcze struktury i schematu zastępczego

Pojemność między bramką a podłożem z tlenkiem w roli izolatora nie jest jedyną, której obecność uwidacznia się w działaniu tranzystora VDMOS (i innych polowych tranzystorów mocy). Dokładna analiza pojemności musiałaby być przeprowadzona w trzech wymiarach i uwzględniać wszelkie interakcje między poszczególnymi warstwami w każdym punkcie struktury. Dla zrozumienia zjawisk fizycznych i ich wpływu na działanie tranzystora wystarczy jednak analiza przybliżona, w której efekty pojemnościowe rozważamy na poziomie warstwa-warstwa, a nie punkt-punkt. Między każdymi dwoma warstwami, dla których efekty pojemnościowe są istotne, można więc wprowadzić pewną **pojemność zastępczą**, co przedstawia rys. 3a.



Rys. 3. Pojemności tranzystora MOSFET o konstrukcji VDMOS: a) umiejscowienie w strukturze; b) wielkosygnalowy schemat zastępczy tranzystora; c) typowa zależność od napięcia  $U_{DS}$

Pojemności te mają konkretne przełożenie na **wielkosygnalowy** (tj. stosowalny przy dużej amplitudzie zmian potencjałów i prądów) **schemat zastępczy** tego przyrządu, przedstawiony na rys. 3b. Na schemacie tym z kolei wyróżnia się 3 pojemności – po jednej między każdą parą końcówek. Zależności między pojemnościami struktury a pojemnościami schematu zastępczego są następujące:

- 1) **pojemność bramka-źródło  $C_{GS}$**  to równoległe połączenie 3 pojemności między bramką a znajdującymi się pod nią obszarami N<sup>+</sup> ( $C_{GN+}$ ) i P ( $C_{GP}$ ) oraz między bramką a elektrodą źródła ( $C_{GO}$ );

- 2) **pojemność dren-źródło**  $C_{DS}$  jest pojemnością złącza  $PN^-$  podłoże-dren;
- 3) **pojemność bramka-dren**  $C_{GD}$  posiada dwie składowe o całkowicie różnym charakterze:
  - analogiczną do składowych pojemności  $C_{GS}$  – między bramką a znajdującym się pod nią obszarem  $N^-$  drenu,
  - oraz wynikającą z tworzenia się w obszarze  $N^-$  pod tlenkiem obszaru ładunku przestrzennego.

Pojemność  $C_{GD}$  nastrocza największych trudności w analizie przełączania przyrzędu, a to z trzech powodów:

- 1° przyjmuje stosunkowo duże wartości (względem pozostałych),
- 2° wykazuje silną, nieliniową zależność od napięcia  $U_{DS}$  (patrz rys. 3c),
- 3° związane jest z nią występowanie *efektu Millera*.

### 2.3.b. Pojemność bramka-źródło i zagadnienia ogólne

Wartość pojemności bramka-źródło  $C_{GS}$  – jako jedynej – jest niezależna od napięcia dren-źródło (patrz rys. 3c). Wynika to z faktu, że wszystkie jej składniki, połączone równolegle, przedstawiają **struktury typu kondensatora płaskiego** (z pewnymi nieregularnościami na brzegach) o stałych wszystkich parametrach występujących w zależności (2.2).

W teorii przyrządów półprzewodnikowych rozważa się zwykle **pojemności na jednostkę powierzchni**. Takie podejście pozwala na pozbycie się uciążliwego czynnika, który pojawiałby się w każdym wzorze, a nie wnosił nic do zrozumienia zjawisk fizycznych. Ze wzoru (2.2), dla wszystkich składników  $C_{GS}$  pojemność na jednostkę powierzchni wynosi (przy założeniu takiej samej grubości tlenku w każdym miejscu):

$$C_{GN+} = C_{GP} = C_{GO} = \frac{C}{A} = \frac{\epsilon_{ox}}{t_{ox}} \left[ \frac{F}{m^2} \right] \quad (2.4)$$

gdzie, jak poprzednio:  $\epsilon_{ox}$  – przenikalność elektryczna tlenku,  $t_{ox}$  – grubość tlenku.

Jak widać, fakt podawania pojemności na jednostkę powierzchni nie znajduje żadnego odzwierciedlenia w stosowanych powszechnie oznaczeniach. Należy o tym pamiętać. Przeznaczenie pojemności schematu zastępczego jest już inne – mają one charakteryzować konkretny przyrząd, a nie mikroskopowe zjawiska fizyczne. Dlatego też są one zawsze podawane w faradach.

Zasadniczo wszystkie pojemności tranzystora są rozważane jako **pojemności różniczkowe**. Nie są więc definiowane zależnością

$$C = \frac{Q}{U} \quad (2.5)$$

z której uzyskano wzór (2.1), ale

$$C_d = \frac{dq}{du} \quad (2.6)$$

Jest to zawsze wystarczające, gdyż pojemności wykorzystujemy wyłącznie do opisu zjawisk dynamicznych. Istotne są wówczas zmiany napięć związane z dopływem lub odpływem ładunków, a nie napięcia i ładunki jako takie (bezwzględne).

### 2.3.c. Pojemność dren-źródło

Pojemność dren-źródło  $C_{DS}$  odpowiada **pojemności złącza  $PN^-$  podłoże-dren**, a więc pojemności związanej z nieskompensowanym ładunkiem zjonizowanych domieszek w obszarze ładunku przestrzennego. Przy dodatnim napięciu dren-źródło (kierunek przewodzenia w obwodzie głównym), potencjał warstwy P (zwartej ze źródłem) jest ujemny względem warstwy  $N^-$ , a więc

złącze  $PN^-$  jest spolaryzowane w kierunku zaporowym. Tak więc obszar ładunku przestrzennego przy złączu może osiągnąć znaczną szerokość.

Ze względu na różnicę koncentracji domieszek, obszar ładunku przestrzennego rozciąga się praktycznie wyłącznie w warstwie  $N^-$ . Pionowe ułożenie obwodu mocy (patrz linia przepływu prądu na rys. 1d) powoduje, że obszar ten rozszerza się głównie w pionie. Przy tym sięga tym głębiej, im większe ujemne napięcie na diodzie podłożowej  $U_{SD}$  (czyli dodatnie napięcie na tranzystorze  $U_{DS}$ ).

Obszar ładunku przestrzennego jest pozbawiony nośników, zachowuje się więc jak izolator kondensatora. Ponieważ rozszerzenie obszaru ładunku przestrzennego odpowiada rozsunięciu okładek zastępczego kondensatora, więc pojemność w tym przypadku spadnie, co widać na rys. 3c.

Ilościowo opisuje to zależność

$$C_{DS} = \sqrt{\frac{e\epsilon_{Si}N_D}{2(\phi_d - U_{SD})}} = \sqrt{\frac{e\epsilon_{Si}N_D}{2(\phi_d + U_{DS})}} \quad (2.7)$$

gdzie  $C_{DS}$  – pojemność na jednostkę powierzchni złącza,  $e$  – ładunek elementarny,  $\epsilon_{Si}$  – przenikalność elektryczna krzemu,  $N_D$  – koncentracja domieszek w obszarze  $N^-$  drenu (rzędu  $10^{14} \text{ cm}^{-3}$ ),  $\phi_d$  – potencjał dyfuzyjny złącza. W temperaturze pokojowej  $\phi_d \approx 0,60 \text{ V}$ , a więc w stanie blokowania – kiedy  $U_{DS} \gg \phi_d$  – wpływ potencjału dyfuzyjnego jest zaniedbywalny i

$$C_{DS} = \sqrt{\frac{e\epsilon_{Si}N_D}{2U_{DS}}} \quad (2.8)$$

Dla zerowej polaryzacji dren-źródło pojemność  $C_{DS}$  jest stosunkowo duża, gdyż w mianowniku znajduje się wyłącznie niski potencjał dyfuzyjny. Przy napięciu  $U_{DS}$  ujemnym i dążącym do  $-\phi_d$ , wartość  $C_{DS}$  dążyłaby do nieskończoności. Fizycznie odpowiada to radykalnemu zwężeniu obszaru ładunku przestrzennego i przejściu złącza w stan przewodzenia.

### 2.3.d. Pojemność bramka-dren

Jak już wspomniano, pojemność bramka-dren  $C_{GD}$  jest silnie nieliniowa. Jej zależność od napięcia  $U_{DS}$  stanowi *de facto* odzwierciedlenie zależności od napięcia  $U_{GD}$ . Wspomnieliśmy również, że posiada ona dwie składowe.

Dla  $U_{DS} = 0$  mamy  $U_{GD} = U_{GS}$ , zaś zwykle  $U_{GS} \geq 0$ . W tym przypadku nie występują żadne szczególne zjawiska, dlatego obserwujemy tylko pierwszą składową  $C_{GD(ox)}$ , analogiczną do pojemności  $C_{GN+}$  i  $C_{GP}$ . Jest to pojemność **układu bramka-tlenek-półprzewodnik** (obszar  $N^-$  drenu). Można ją więc wyrazić wzorem (2.2):

$$C_{GD(ox)} = \frac{C}{A} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.9)$$

Gdyby jednak potencjał bramki stał się niższy od potencjału drenu ( $U_{GD} < 0$ ), elektrony w obszarze  $N^-$  zaczęłyby być odpychane od bramki. Ze zjawiskiem tym, podobnie jak w przypadku tworzenia kanału, związane jest pewne (ujemne) napięcie progowe  $U_{GD(th)}$ , poniżej którego pod bramką w ogóle nie ma już swobodnych elektronów. W obszarze  $N^-$  przy granicy tlenku powstaje więc **obszar ładunku przestrzennego** sięgający tym głębiej, im większa nadwyżka  $U_{GD}$  nad  $U_{GD(th)}$ .

Tym samym między bramką a drenem pojawia się dodatkowy izolator o zmiennej grubości, czyli dodatkowy, szeregowo włączony kondensator. Jego pojemność na jednostkę powierzchni wyraża się zależnością

$$C_{GD(sc)} = \sqrt{\frac{e\epsilon_{Si}N_D}{2|U_{GD} - U_{GD(th)}|}} \quad (2.10)$$



Występowanie ładunku przestrzennego pod bramką jest zjawiskiem korzystnym dla stanu blokowania. Dzięki niemu pole elektryczne wynikające ze wstecznej polaryzacji złącza PN<sup>-</sup> nie dochodzi do powierzchni krzemu. Tymczasem, jak wiadomo, największe trudności z uzyskaniem wysokiej wytrzymałości napięciowej występują właśnie na granicach płytki krzemowej.

Warunek  $U_{GD} < U_{GD(th)}$  jest równoważny warunkowi  $U_{DS} > U_{GS} - U_{GD(th)}$ . W tym właśnie punkcie charakterystyka  $C_{GD} = f(U_{DS})$  [rys. 3c] zaczyna wykazywać zależność od potencjałów końcówek tranzystora. Po podstawieniu  $U_{GD} = U_{GS} - U_{DS}$  i uwzględnieniu, że  $U_{GD} - U_{GD(th)} < 0$  (gdyż  $U_{GD} < U_{GD(th)} < 0$ ), zależność (2.10) można zapisać w postaci

$$C_{GD(sc)} = \sqrt{\frac{e\epsilon_{Si}N_D}{2(U_{DS} - U_{GS} + U_{GD(th)})}} \quad (2.11)$$

Wypadkowa pojemność bramka-dren na jednostkę powierzchni wynosi więc (ze wzoru na pojemność połączenia szeregowego)

$$C_{GD} = \begin{cases} C_{GD(ox)} & \text{dla } U_{DS} \leq U_{GS} - U_{GD(th)} \\ \left(C_{GD(ox)}^{-1} + C_{GD(sc)}^{-1}\right)^{-1} & \text{dla } U_{DS} > U_{GS} - U_{GD(th)} \end{cases} \quad (2.12)$$

przy czym należy pamiętać, że  $U_{GD(th)} < 0$ . Przebieg wynikowej charakterystyki jest przedstawiony na rys. 3c.

### 2.3.e. Parametry katalogowe

Producenci przyrządów z reguły nie podają wartości poszczególnych pojemności międzykońcówkowych, tym bardziej, że – jak wynika z rys. 3c – mogą się one zmieniać w zależności od polaryzacji tranzystora. Zamiast tego, w katalogach umieszcza się 3 parametry zamieszczone w tab. 1. Należy zwrócić uwagę, że z każdym z nich związane są specyficzne warunki pomiaru. Producenci niekiedy wykazują odstępstwa od tych warunków (niezgodnie z definicją parametrów), np. wyznaczając wszystkie parametry dla tych samych wartości  $U_{GS}$  i  $U_{DS}$ .

Symbole pojemności tworzy się w następujący sposób:

- pierwsza litera oznacza końcówkę, do której odnosi się parametr: I – wejście (ang. *input*), O – wyjście (*output*), R – sprzężenie zwrotne (*reverse transfer*);
- druga litera oznacza końcówkę wspólną;
- trzecia litera oznacza stan trzeciej końcówki względem wspólnej: O – rozwarta (*open*), S – zwarta (*shorted*), R – zwarta przez rezystancję (*resistance*), V – spolaryzowana napięciem (*voltage*).

Spójrzmy na rys. 3b i zwróćmy uwagę, że:

- 1) gdy dren jest zwarty do źródła, między końcówkami G i S występuje równoległe połączenie pojemności  $C_{GS}$  i pojemności  $C_{GD}$ , która przyjmuje swoją maksymalną wartość ze względu na  $U_{DS} = 0$  (patrz rys. 3c), stąd

$$C_{iss} = C_{GS} + C_{GD(max)} \quad (2.13)$$

- 2) gdy bramka jest zwarta do źródła, między końcówkami D i S występuje równoległe połączenie pojemności  $C_{DS}$  i pojemności  $C_{GD}$  (dla danego  $U_{DS}$ ), stąd

$$C_{iss} = C_{DS}(U_{DS}) + C_{GD}(U_{DS}) \quad (2.14)$$

- 3) pojemność  $C_{rss}$  odpowiada pojemności  $C_{GD}$  w danych warunkach polaryzacji ( $U_{GD} = U_{GS} - U_{DS}$ ).

Tab. 1. Katalogowe pojemności tranzystorów MOSFET mocy

Nazwa pojemności	Symbol	Końcówki pomiarowe	Warunki wyznaczania	Pojemności schematu zastępczego
Wejściowa <i>Input</i>	$C_{iss}$	G-S	D i S zwarte ustalone $U_{GS}$	$C_{GS} + C_{GD(max)}$
Wyjściowa <i>Output</i>	$C_{oss}$	D-S	G i S zwarte ustalone $U_{DS}$	$C_{DS} + C_{GD}$
Przejściowa sprzężenia zwrotnego <i>Reverse transfer</i>	$C_{rss}$	G-D	ustalone $U_{GS}$ ustalone $U_{DS}$	$C_{GD}$

## 2.4. Wpływ pojemności na stany dynamiczne

### 2.4.a. Analizowany układ pracy

Przeanalizujemy załączanie tranzystora MOSFET mocy w najprostszej konfiguracji pracy, jaką jest tzw. **łącznik dolny** (ang. *low-side switch*). W konfiguracji tej pojedynczy łącznik półprzewodnikowy włączony jest w szereg z odbiornikiem i źródłem energii elektrycznej  $U_{DD}$  w taki sposób, że znajduje się na niższym potencjale niż odbiornik (rys. 4a). Przyjmijmy też dla prostoty rozważań, że obciążenie ma charakter czysto rezystancyjny (opornik  $R_L$ ). Sterowanie tranzystora realizowane jest za pośrednictwem źródła napięcia zmiennego  $u_g$  o kształcie prostokątnym.

Rozważanie trzech osobnych pojemności komplikuje analizę przełączania. Dlatego często korzysta się z uproszczenia obwodu wejściowego przedstawionego na rys. 5. Zawiera on tylko jedną pojemność, zwaną **pojemnością wejściową** (ang. *input capacitance*) i oznaczaną  $C_{in}$ . Pojemność wejściowa definiowana jest jako pojemność zastępcza (zastępująca wszystkie fizycznie występujące pojemności) o takiej wartości, że nadal spełnione będzie równanie (2.1), które można tu przedstawić w postaci

$$q_G = C_{in} u_{GS} \quad (2.15)$$

Wartość tę wyznaczymy w toku analizy; jak się okaże, nie jest ona stała.

Przebiegi prądu i napięć w rozważanym układzie przedstawiono (oczywiście w uproszczeniu) na rys. 4b. W procesie załączania można na nich wyróżnić trzy zasadnicze etapy, które za chwilę przeanalizujemy.

Rys. 4c przedstawia charakterystyki statyczne tranzystora wraz z naniesioną **prostą pracy** analizowanego obwodu. Odpowiada ona, jak wiadomo, napięciowemu prawu Kirchhoffa

$$U_{DS} = U_{DD} - I_D R_L \quad (2.16)$$

Podstawiając  $I_D = 0$  otrzymujemy  $U_{DS} = U_{DD}$ , zaś dla  $U_{DS} = 0$ :  $I_D = U_{DD}/R_L$ , które to punkty wyznaczają prostą. Nachylenie prostej pracy wynosi, jak widać z powyższego wzoru,  $-1/R_L$ . Kolejne punkty zaznaczone na prostej pracy dla stanu załączania wiążą rys. 4c i 4b w dziedzinie czasu.

Wartość  $U_{DD}/R_L$  oznaczono przez  $I_{D(on)id}$ , co oznacza prąd załączonego tranzystora przy założeniu, że jest on łącznikiem idealnym. Rezystancja takiego łącznika wynosi 0, stanowi on więc zwarcie, a wówczas prąd w obwodzie wynika z prawa Ohma i samej tylko rezystancji odbiornika  $R_L$ . W rzeczywistości, z powodu dodatkowej rezystancji dren-źródło w stanie załączenia  $R_{DS(on)}$ , w obwodzie popłynie pewien mniejszy prąd

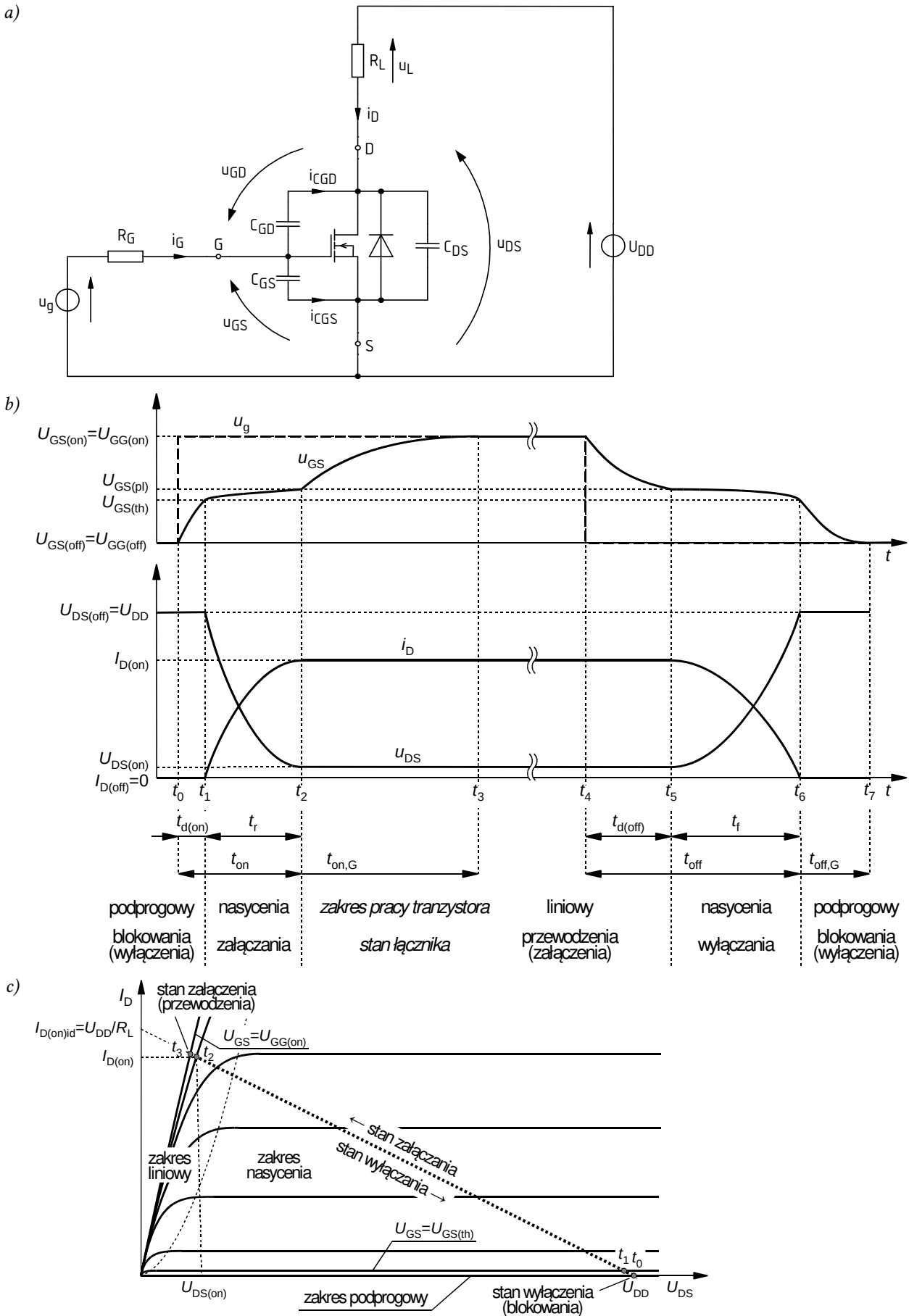
$$I_{D(on)} = \frac{U_{DD} - U_{DS(on)}}{R_L} = \frac{U_{DD} - I_D R_{DS(on)}}{R_L} \Rightarrow I_{D(on)} = \frac{U_{DD}}{R_L + R_{DS(on)}} \quad (2.17)$$

Konstrukcja prostej pracy pozwala łatwo go wyznaczyć metodą graficzną.

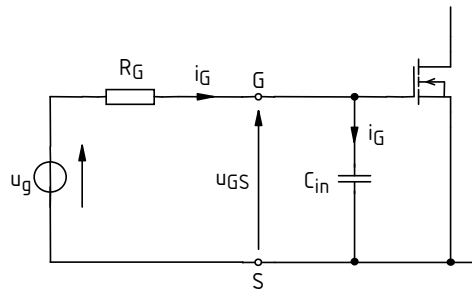
### 2.4.b. Etap 1 – opóźnienie załączania

Początkowo ( $t \leq t_0$ ) napięcie sterujące bramka-źródło jest równe 0. W związku z tym w strukturze nie istnieje kanał, a więc warstwy  $N^+$  źródła i  $N^-$  drenu są rozdzielone warstwą o przeciwnym typie przewodnictwa (podłoże P). Dlatego brak możliwości przepływu prądu, co oznacza wyłączenie tranzystora. Ten zakres pracy na płaszczyźnie statycznych charakterystyk wyjściowych nazywa się **zakresem podprogowym** (ang. *sub-threshold region*).

Można przyjąć, że rezystancja tranzystora (dren-źródło) w stanie wyłączenia  $R_{DS(off)} = \infty$ , stąd  $I_{D(off)} = 0$  – prąd nie płynie, obwód mocy jest rozarty. Z napięciowego prawa Kirchhoffa (2.16), a także z prostej analizy schematu wynika, że między drenem a źródłem występuje pełne napięcie zasilania  $U_{DD}$ .



Rys. 4. Tranzystor VDMOS w układzie łącznika dolnego z obciążeniem rezystancyjnym: a) schemat elektryczny; b) przebiegi podczas przełączania; c) prosta pracy na tle statycznych charakterystyk wyjściowych (wykres bez zachowania skali czasu i napięcia  $u_{GS}$  – w rzeczywistości, zgodnie z rys. b, punkty  $t_0$  i  $t_1$  oraz  $t_2$  i  $t_3$  niemal się pokrywają)



Rys. 5. Model obwodu wejściowego tranzystora VDMOS z zastępczą pojemnością wejściową

W chwili  $t_0$  źródło sterujące  $u_g$  generuje impuls napięcia o amplitudzie  $U_{GG(on)} > U_{GS(th)}$  i pewnym czasie trwania  $t_p$  dłuższym od czasu załączania tranzystora  $t_{on}$ . W czasie  $t_0-t_1$  pojemność wejściowa  $C_{in}$  tranzystora ładuje się ze źródła  $u_g$  poprzez opornik  $R_G$  (por. rys. 5). Napięcie bramka-źródło narasta więc wykładniczo do wartości wymuszonej  $U_{GS(on)} = U_{GG(on)}$  ze stałą czasową obwodu bramki  $\tau_G$ :

$$u_{GS} = U_{GG(on)} \left(1 - e^{-t/\tau_G}\right) \quad (2.18)$$

$$\tau_G = R_G C_{in} \quad (2.19)$$

Dopóki napięcie  $u_{GS}$  ma wartość mniejszą od progowej  $U_{GS(th)}$ , kanał nadal nie istnieje. Przez przyrząd nadal **nie płynie prąd** i jego punkt pracy nie przesuwają się.

Spróbujmy obliczyć zastępczą pojemność wejściową  $C_{in}$  w tym etapie. Skorzystajmy w tym celu ze znanego równania pojemności, które można otrzymać różniczkując równość (2.15) i uwzględniając, że prąd stanowi pochodną ładunku:

$$i_G = \frac{dq_G}{dt} = C_{in} \frac{du_{GS}}{dt} \quad (2.20)$$

Jak widać na rys. 4a,

$$i_G = i_{CGS} + i_{CGD} = C_{GS} \frac{du_{GS}}{dt} + C_{GD} \frac{du_{GD}}{dt} \quad (2.21)$$

Aby uzyskać wzór postaci (2.20), należałoby móc wyciągnąć przed nawias wyraz  $du_{GS}/dt$ . W tym celu uzależnimy  $du_{GD}$  (zmianę napięcia na pojemności  $C_{GD}$ ) od  $du_{GS}$  (zmiany napięcia na wejściu, czyli na pojemności  $C_{GS}$ ). Zauważmy, że

$$u_{GD} = u_{GS} - u_{DS} \quad (2.22)$$

a ponieważ  $u_{DS}$  w tej fazie załączania pozostaje stałe, więc  $du_{DS} = 0$  i

$$du_{GD} = du_{GS} - du_{DS} = du_{GS} \quad (2.23)$$

W tym momencie  $u_{DS} > u_{GS}$ , więc napięcie  $u_{GD}$  jest ujemne. Jego wzrost o dodatnią wartość  $du_{GD} = du_{GS}$  oznaczać będzie spadek jego wartości bezwzględnej, czyli rozładowanie pojemności  $C_{GD}$ .

Uwzględniając powyższy wynik,

$$i_G = C_{GS} \frac{du_{GS}}{dt} + C_{GD} \frac{du_{GS}}{dt} = (C_{GS} + C_{GD}) \frac{du_{GS}}{dt} \quad (2.24)$$

Porównanie powyższego z zależnością (2.20) daje nam wzór na wypadkową pojemność tranzystora widzianą od strony wejścia, tj. zastępczą pojemność wejściową:

$$C_{in} = C_{GS} + C_{GD} \Big|_{U_{DS}=U_{DD}} \quad (2.25)$$

#### 2.4.c. Etap 2 – właściwe załączanie

W chwili  $t_1$  napięcie  $u_{GS}$  **przekracza wartość napięcia progowego**  $U_{GS(th)}$ . Pod bramką tworzy się kanał, a więc w tranzystorze powstaje ścieżka dla ruchu elektronów na drodze (patrz rys. 1d): elektroda S – obszar  $N^+$  źródła – obszar N kanału (warstwa inwersyjna w podłożu P) – obszar  $N^-$  drenu – obszar  $N^+$  drenu – elektroda D. Rezystancja kanału spada ze wzrostem napięcia  $u_{GS}$ , co przekłada się na spadek całkowitej rezystancji  $R_{DS(on)}$ , w wyniku czego prąd drenu  $i_D$  rośnie zgodnie z zależnością (2.17). Oznacza to, że punkt pracy tranzystora przesuwa się (po prostej pracy – patrz rys. 4c) do góry i przyrząd wchodzi w **zakres nasycenia** (ang. *saturation region*).

Wzrost prądu drenu łączy ze wzrostem napięcia wejściowego parametr zwany **transkonduktancją** (ang. *transconductance*) – w tym wypadku w układzie wspólnego źródła  $g_{fs}$  (indeks „f” od ang. *forward*, „s” od *source*):

$$g_{fs} = \frac{\Delta i_D}{\Delta u_{GS}} \quad (2.26)$$

Ponieważ wzrost prądu powoduje wzrost napięcia odłożonego na rezystancji  $R_L$ , to napięcie  $u_{DS}$  musi jednocześnie spaść o taką samą wartość, co odzwierciedla ruch punktu pracy po prostej pracy w lewo. Proces ten trwa do chwili  $t_2$ .

Utworzenie ścieżki prądowej między źródłem a drenem uwarunkowane jest nie tylko utworzeniem kanału, ale także znaczącą redukcją obszaru ładunku przestrzennego w warstwie  $N^-$ . Przy dużym napięciu blokowania posiada on znaczące rozmiary (w skrajnym przypadku wypełnia całą warstwę  $N^-$ ), a występujące w nim pole elektryczne przeciwdziała przewodzeniu prądu. Proces zmniejszenia szerokości obszaru ładunku przestrzennego odzwierciedlony jest na schemacie zastępczym przez przeładowanie pojemności  $C_{DS}$  spowodowane z jednej strony znaczącym zmniejszeniem napięcia  $u_{DS}$ , a z drugiej – zwiększeniem pojemności wskutek zwięźnienia obszaru nieprzewodzącego (patrz par. 2.3.c). Pojemność ta ma jednak wartość mniejszą od pozostałych (co fizycznie odpowiada dużej szybkości przepływu nośników większościowych), dlatego to **obwód sterowania nadal dyktuje szybkość przełączania**. W dalszych rozważaniach wpływ pojemności  $C_{DS}$  zostanie zaniedbany.

#### 2.4.d. Napięcie wejściowe tranzystora w etapie 2

Na rys. 4b nietrudno zauważyć, że od chwili  $t_1$  **stała czasowa** narastania napięcia bramka-źródło **znacznie się zwiększa**. Aby wyjaśnić genezę tego zjawiska, spróbujemy ponownie opisać obwód wejściowy równaniem postaci (2.20).

Wyjdźmy od zawsze słusznej zależności (2.21). W układzie zaszła jednak istotna zmiana – pojawił się zmienny w czasie prąd  $i_D$ . Powoduje to, że musimy na nowo obliczyć zmianę napięcia bramka-dren  $du_{GD}$ . Wychodząc z (2.22) mamy

$$du_{GD} = du_{GS} - du_{DS} \quad (2.27)$$

jednak obecnie napięcie  $u_{DS}$  zmienia się, więc  $du_{DS} \neq 0$ . Z napięciowego prawa Kirchhoffa (2.16)

$$u_{DS} = U_{DD} - i_D R_L \quad (2.28)$$

stąd

$$du_{DS} = d(U_{DD} - i_D R_L) = 0 - d(i_D R_L) = -R_L \cdot di_D \quad (2.29)$$

gdyż  $U_{DD}$  i  $R_L$  są stałe. Podstawiając  $di_D$  z zależności (2.26), mamy

$$du_{DS} = -g_{fs} R_L du_{GS} \quad (2.30)$$

więc z równości (2.27) i (2.21)

$$du_{GD} = du_{GS} + g_{fs} R_L du_{GS} = (1 + g_{fs} R_L) \cdot du_{GS} \quad (2.31)$$

$$\begin{aligned} i_G &= C_{GS} \frac{du_{GS}}{dt} + C_{GD} \frac{du_{GD}}{dt} = C_{GS} \frac{du_{GS}}{dt} + C_{GD} \cdot (1 + g_{fs} R_L) \cdot \frac{du_{GS}}{dt} = \\ &= [C_{GS} + C_{GD}(1 + g_{fs} R_L)] \frac{du_{GS}}{dt} \end{aligned} \quad (2.32)$$

Otrzymaliśmy wynik odmienny od zależności (2.24). Nie mogliśmy już bowiem napisać, że  $du_{GD} = du_{GS}$ . Równość (2.30) mówi jasno, że jest to związane z **działaniem tranzystora jako wzmacniacza**: zmiana napięcia na wejściu powoduje proporcjonalną zmianę napięcia na wyjściu.

W efekcie napięcie  $u_{GD}$  zmienia się bardziej niż zmienia się napięcie  $u_{GS}$ , co wyraża zależność (2.31). Fizyczny skutek tego jest bardzo prosty. Zawsze prawdziwej (bo definicyjnej) zależności (2.6)

$$dq_{GD} = C_{GD} du_{GD} \quad (2.33)$$

W etapie 1, biorąc pod uwagę (2.23),

$$dq_{GD} = C_{GD} du_{GS} \quad (2.34)$$

Równość ta mówi, jak duży ładunek należy dostarczyć do pojemności  $C_{GD}$ , jeżeli napięcie wejściowe tranzystora zmieniło się o  $du_{GS}$ .

Natomiast w etapie 2, biorąc pod uwagę (2.31),

$$dq_{GD} = (1 + g_{fs} R_L) C_{GD} du_{GS} \quad (2.35)$$

a więc **taka sama zmiana napięcia wymaga dostarczenia większego ładunku**. Biorąc pod uwagę zależność (2.3), wymaga to większego prądu lub dłuższego czasu ładowania. Jednak w rozważanym przypadku prąd wejściowy  $i_G$  spada w miarę postępu załączania (wynika to z faktu, że natężenie tego prądu wymuszone jest przez różnicę potencjałów na oporniku  $R_G$ , ta zaś na pewno zmniejsza się z upływem czasu, gdyż  $U_{GG(on)} = \text{const}$ , a  $u_{GS}$  rośnie). W związku z tym jedynym możliwym skutkiem jest spowolnienie ładowania – co jest widoczne na rys. 4b.

#### 2.4.e. Efekt Millera

Obserwator widzący samo tylko wejście tranzystora zakłada, że z bramką związana jest tylko jedna pojemność, występująca między bramką a źródłem. Prąd wejściowy tranzystora można więc powiązać ze zmianą napięcia wejściowego zgodnie z równaniem tej (hipotetycznej) pojemności (2.20).

Tymczasem w rzeczywistości z bramką związane są dwie pojemności  $C_{GS}$  i  $C_{GD}$ , z których druga nie jest podłączona bezpośrednio do źródła tranzystora. Prąd bramki posiada dwie składowe opisane równością (2.21). W sytuacji, gdy tranzystor wykazuje działanie wzmacniacza, równości tej nie można już uprościć do (2.24), gdyż pochodne obu napięć po czasie są różne. Nie uzyskuje się więc bezpośrednio zależności postaci (2.20), w której prąd wejściowy jest proporcjonalny do zmiany napięcia wejściowego.

Jednakże uwzględnienie interakcji wejście-wyjście ogromnie komplikuje analizę obwodu sterowania tranzystorów polowych. Byłoby więc korzystne, gdyby udało się powrócić do modelu hipotetycznej pojemności wejściowej  $C_{in}$  włączonej między końcówki obwodu sterowania

tranzystora (bramkę i źródło). Umożliwiłoby to stosowanie równości (2.20) i traktowanie obwodu sterowania jako jednej prostej pętli złożonej z elementów  $u_g$ ,  $R_G$  i  $C_{in}$ .

Okazuje się, że jest to możliwe. Wystarczy porównać prawe strony równości (2.32) i (2.20), a otrzymuje się

$$C_{in} = C_{GS} + C_{GD}(1 + g_{fs}R_L) = C_{GS} + C_{GD}\left(1 - \frac{du_{DS}}{du_{GS}}\right) = C_{GS} + C_{GD}(1 - g_u) \quad (2.36)$$

przy czym druga postać zależności wynika z uwzględnienia (2.30), zaś  $g_u$  oznacza (ujemne) wzmocnienie napięciowe tranzystora

$$g_u = \frac{du_{DS}}{du_{GS}} \quad (2.37)$$

Porównując wzór (2.36) z (2.25) widzimy, że pojemność sprzężenia wejście-wyjście  $C_{GD}$  rozpatrywana jako składnik pojemności wejściowej uległa zwiększeniu o  $g_{fs}R_L$  (lub o  $|g_u|$ ) swojej wartości. Efekt ten nazywany jest **efektem Millera** (ang. *Miller effect*) lub **millerowską multiplikacją pojemności**. Pojemność  $C_{GD}(1+g_u)$  nazywa się **pojemnością millerowską** (ang. *Miller capacitance*) i mówi się, że pojemność  $C_{GD}$  pojawia się na wejściu zmnożona, tj. zwielokrotniona przez czynnik  $(1+g_u)$ .

Należy pamiętać, że wzór (2.36) opisuje **wirtualną pojemność** włączoną między zaciski wejściowe tranzystora. Fizyczna pojemność (a przynajmniej jeden z jej składników) nie jest tak włączona, a jej wartość nie ulega multiplikacji.

Odwołując się do wirtualnego efektu Millera, **obwód sterowania można nadal rozpatrywać jako szeregowe połączenie** źródła napięcia  $u_g$ , rezystancji  $R_G$  i pojemności wejściowej tranzystora  $C_{in}$  wyrażonej wzorem (2.36). W ten sposób spowolnienie narastania napięcia  $u_{GS}$  w etapie 2 załączania można łatwo wytłumaczyć zwiększeniem stałej czasowej obwodu bramki  $\tau_G$  (2.19), wynikającym z millerowskiej multiplikacji pojemności  $C_{GD}$ .

Ostatecznie pojemność wejściowa tranzystora  $C_{in}$  w fazie  $t_1-t_2$  jest większa niż w fazie  $t_0-t_1$  z **dwóch powodów**:

- 1° wirtualnego wzrostu pojemności  $C_{GD}$  widzianej na wejściu, co opisuje efekt Millera, oraz
- 2° rzeczywistego wzrostu pojemności  $C_{GD}$  w wyniku zmniejszenia napięcia  $u_{DS}$ , zgodnie z rys. 3c i w wyniku działania mechanizmu fizycznego opisanego w paragrafie 2.3.d.

#### 2.4.f. Etap 3 – ustalenie stanu obwodu bramki

W chwili  $t_2$  tranzystor wyszedł już z zakresu nasycenia i znajduje się w **zakresie liniowym** (ang. *linear region*). Jak widać na wykresie charakterystyk statycznych, w tym stanie pracy dalsze zmiany napięcia  $u_{GS}$  nie powodują już znaczącego zmniejszenia rezystancji przyrządu, a co za tym idzie – znaczącego wzrostu prądu drenu. Dlatego przyjmuje się, że ma on odtąd stałą wartość równą pełnemu prądowi obciążenia  $I_{D(on)}$  zgodnie ze wzorem (2.17). Przy tym założeniu transkonduktancja (2.26) jest zerowa, zaś napięcie  $u_{DS}$  utrzymuje się na stałym poziomie  $U_{DS(on)}$  wynikającym z wartości prądu  $I_{D(on)}$  i napięcia  $u_{GS}$ . Zasadniczo tranzystor jest już **w pełni załączony**.

Napięcie  $u_{GS}$  wciąż jednak narasta, gdyż w chwili  $t_2$  było nadal niższe od wartości wymuszonej przez źródło  $u_g$ ,  $U_{GS(on)} = U_{GG(on)}$ . W związku ze zmianą potencjału bramki, zachodzi oczywiście dalsze przeladowywanie pojemności  $C_{GS}$  i  $C_{GD}$ . Jak widać na przebiegu  $u_{GS}$  – porównując szybkość narastania – pojemność wejściowa jest obecnie większa niż w fazie  $t_0-t_1$ , lecz mniejsza niż w fazie  $t_1-t_2$ . Wyraża się ona wzorem (2.36), gdzie  $C_{GD}$  jest duże z powodu niskiego napięcia  $u_{DS}$ , jednak transkonduktancja  $g_{fs} \approx 0$ , a więc składnik związany z efektem Millera można pominąć:

$$C_{in} = C_{GS} + C_{GD}|_{U_{DS(on)}} \quad (2.38)$$



Biorąc pod uwagę oba obwody tranzystora (wejściowy i wyjściowy), **proces załączania kończy się** dopiero z chwilą osiągnięcia przez napięcie  $u_{GS}$  poziomu stałego  $U_{GG(on)}$ , co ma miejsce w chwili  $t_3$ . Ponieważ rezystancja kanału zawsze spada (choć obecnie już nieznaczająco) ze wzrostem napięcia  $u_{GS}$ , więc w rzeczywistości między chwilą  $t_2$  a  $t_3$  następuje lekkie zmniejszenie napięcia  $U_{DS(on)}$  i lekkie zwiększenie prądu  $I_{D(on)}$  zgodnie z zależnością (2.17), co widać na rys. 3c.

#### 2.4.g. Wyłączenie

Wyłączenie tranzystora polowego mocy związane jest z **rozładowaniem pojemności wejściowej**, tzn. odprowadzeniem z niej ładunku poprzez przepływ wstecznego prądu bramki  $i_G$  (w kierunku od bramki do źródła). W tym celu w chwili  $t_4$  źródło  $u_g$  wymusza na powrót niskie napięcie  $U_{GG(off)}$  (w rozważanym przykładzie równe 0).

W wyniku takiej zmiany wymuszenia, rozpoczyna się wykładnicze opadanie napięcia  $u_{GS}$  do wartości  $U_{GS(off)} = U_{GG(off)}$ . Do chwili  $t_5$  likwidowana jest nadwyżka napięcia bramka-źródło. W tym czasie – analogicznie do fazy  $t_2-t_3$  – ani prąd drenu, ani napięcie dren-źródło nie zmieniają się znacząco. Pojemność wejściowa jest stała, określona wzorem (2.38).

W chwili  $t_5$  tranzystor wychodzi z zakresu liniowego i prąd zaczyna silnie zależeć od napięcia bramka-źródło. Siła tej zależności ponownie wynika z transkonduktancji tranzystora  $g_{fs}$ . Napięcie  $u_{DS}$ , związane z prądem  $i_D$  przez napięciowe prawo Kirchhoffa (2.16), narasta w miarę opadania prądu. W wyniku zmiany napięcia na wyjściu, zwiększa się pojemność sprzężenia wejście-wyjście  $C_{GD}$  widziana na wejściu [efekt Millera, wzór (2.36)], więc napięcie  $u_{GS}$  opada bardzo powoli.

W chwili  $t_6$  napięcie bramka-źródło osiąga wartość progową  $U_{GS(th)}$ , w związku z czym zanika kanał. Prąd drenu przestaje więc płynąć, a skoro  $i_D = 0 = \text{const}$ , to również napięcie  $u_{DS}$  ustala się – oczywiście na wartości  $U_{DD}$ , co wynika z napięciowego prawa Kirchhoffa. Ponieważ  $U_{GS(off)} < U_{GS(th)}$ , więc w czasie od  $t_6$  do  $t_7$  musi nastąpić dalsze rozładowanie pojemności wejściowej do napięcia  $U_{GG(off)}$ . Wartość pojemności wejściowej wyraża się w tym przedziale czasu wzorem (2.25).

#### 2.4.h. Parametry pojemnościowe a praktyka projektowa

Porównanie zależności (2.25), (2.36) i (2.38) prowadzi do niezwykle istotnego wniosku z punktu widzenia projektowania obwodu bramki. Brzmi on: **pojemność wejściowa tranzystora polowego mocy w trakcie jego przełączania zmienia się i przez większość czasu jest dużo większa od katalogowej pojemności wejściowej  $C_{iss}$** . Skoro tak, to katalogowy parametr  $C_{iss}$  nie może służyć do obliczenia ładunku ze wzoru (2.1) przez proste podstawienie  $C_{G(eff)} = C_{iss}$ . Obliczony ładunek konieczny do załączenia przyrzędu byłby bowiem zaniżony. To zaś może spowodować wadliwą pracę układu.

Z tego powodu większe znaczenie praktyczne ma zamieszczana w katalogach charakterystyka ładunku bramki (ang. *gate charge characteristic*)  $Q_G = f(u_{GS})$ . Sposób jej pomiaru został szczegółowo opisany w literaturze [1]. Ogólnie rzecz ujmując, polega on na doprowadzeniu do załączenia tranzystora w specjalnym układzie pomiarowym, dzięki któremu na przebiegu napięcia wejściowego  $u_{GS}$  można wyróżnić trzy odcinki takie, że czas trwania każdego z nich jest proporcjonalny do innego składnika całkowitego ładunku doprowadzonego do bramki  $Q_G$ . Dzięki tej proporcjonalności, oś czasu można przeskalać na kulomby.

Uzyskuje się w ten sposób praktyczny wykres, z którego łatwo można odczytać, jaki ładunek musi być doprowadzony do bramki tranzystora w celu jego załączenia (i odprowadzony w celu wyłączenia) przy danym poziomie wysokim impulsu załączającego  $U_{GS(on)}$ .

## 2.5. Przełączanie z obciążeniem indukcyjnym

### 2.5.a. Analizowany układ pracy

W obwodzie rozważanym w podrozdz. 2.4 obciążenie stanowił opornik, miało więc ono charakter rezystancyjny, tj. napięcie i prąd odbiornika były w każdej chwili powiązane zależnością liniową (2.28). Innym typowym przypadkiem pracy łącznika półprzewodnikowego jest przełączanie z **obciążeniem indukcyjnym** (ang. *inductive load*), tj. którego zachowanie opisuje równanie

$$u_L = L \frac{di_L}{dt} \quad (2.39)$$

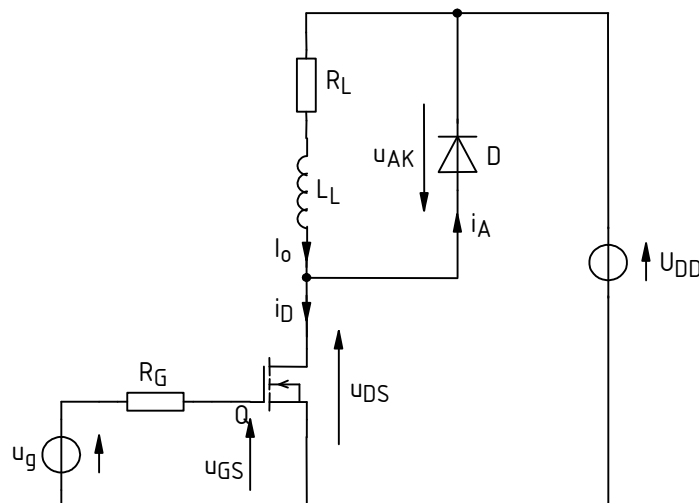
gdzie parametr  $L$  jest nazywany indukcyjnością.

Oczywiście najprostszym takim odbiornikiem jest cewka. Jak wiadomo, gromadzi ona w swoim polu magnetycznym energię równą

$$W_L = \frac{Li_L^2}{2} \quad (2.40)$$

Z zasady zachowania energii wynika, że energia nie może zmieniać się w nieskończenie krótkim czasie, tj. skokowo. Wobec tego, na podstawie zależności (2.40), skokowo nie może się również zmienić prąd cewki. Tym samym **obciążenie indukcyjne wymusza przepływ niezmiennego prądu** mimo ewentualnych zmian napięcia. Idealizując takie zachowanie, obciążenie indukcyjne można w ogólności przedstawić jako **niezależne źródło prądu**. Niemniej w układach przekształtnikowych jest ono zwykle wprowadzane przez rzeczywiste elementy indukcyjne – cewki lub transformatory.

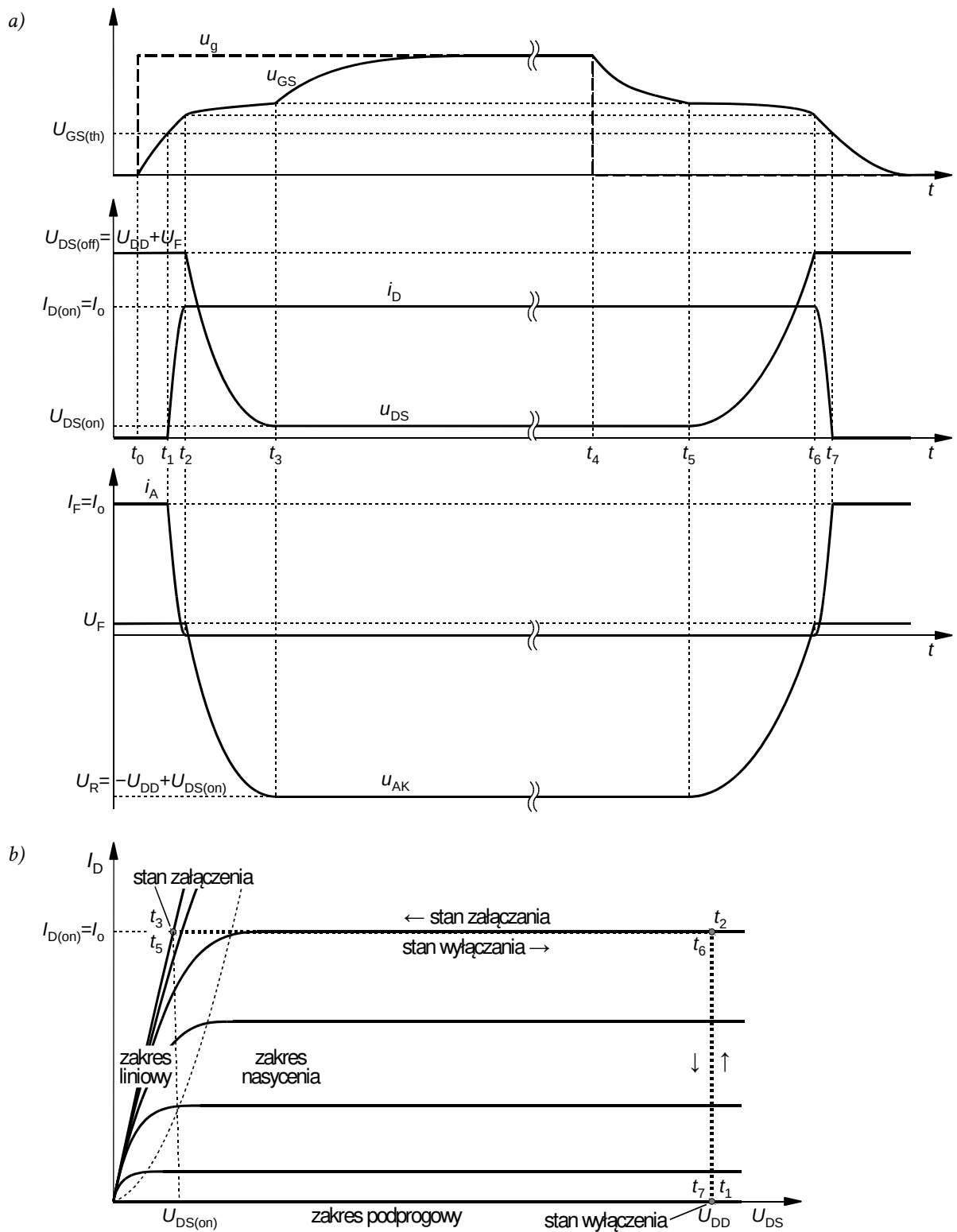
Jeżeli obciążenie ma charakter źródła prądu, to wymusza ono dalszy przepływ prądu w obwodzie mimo wyłączenia tranzystora. W układach tego typu **muszą więc występować co najmniej dwa łączniki**. Wówczas drugi łącznik będzie mógł przejąć przewodzenie wymuszonego prądu od pierwszego łącznika na czas jego wyłączenia.



Rys. 6. Tranzystor VDMOS w układzie łącznika dolnego z obciążeniem indukcyjnym w postaci cewki

Najprostszym przykładem takiego obwodu przedstawia rys. 6. Podstawowy łącznik stanowi w nim tranzystor  $Q$ , zaś obciążenie – szeregowe połączenie cewki  $L_L$  i opornika  $R_L$ . Cewka o odpowiednio dużej indukcyjności wymusza nieprzerwany przepływ prądu obciążenia  $i_o$ , którego wartość zależy między innymi od rezystancji  $R_L$ . Łącznikiem pomocniczym jest natomiast **dioda  $D$ , która przejmie**

przewodzenie prądu obciążenia od tranzystora, kiedy ten będzie wyłączony. Przełączenie tranzystora jest wywoływane poprzez odpowiednie sterowanie jego bramką ze źródła  $u_g$ . Jeżeli stała czasowa  $L_L/R_L$  jest dużo dłuższa od okresu przełączania, to prąd obciążenia można uznać za stały w czasie.



Rys. 7. Praca tranzystora VDMOS w układzie łącznika dolnego z obciążeniem indukcyjnym: a) przebiegi napięć i prądów podczas przełączania; b) trajektoria punktu pracy na tle statycznych charakterystyk wyjściowych

### 2.5.b. Wyłączanie

Przebiegi napięć i prądów obserwowane w układzie z rys. 6 pokazano na rys. 7a. Na początek założymy, że układ znajduje się w chwili  $t_4$ , kiedy tranzystor Q jest załączony i pracuje w zakresie liniowym. Na tranzystorze występuje więc niewielki spadek potencjału  $u_{DS} = U_{DS(on)}$ . Z napięciowego prawa Kirchhoffa, napięcie anoda-katoda diody D wynosi

$$u_{AK} = -(U_{DD} - u_{DS}) = -U_{DD} + U_{DS(on)} \approx -U_{DD} \quad (2.41)$$

Jest więc ono ujemne, wobec czego dioda pracuje w zakresie zaporowym nie przewodząc prądu. Tym samym cały prąd obciążenia (cewki L)  $I_o$  płynie przez tranzystor:

$$i_D = I_o - i_A = I_o - 0 = I_o \quad (2.42)$$

W chwili  $t_4$  napięcie sterujące  $u_g$  spada do zera, co inicjuje proces wyłączania tranzystora. Rozładowywanie jego pojemności wejściowej objawia się wykładniczym spadkiem napięcia bramka-źródło do chwili  $t_5$ , w której tranzystor przechodzi w zakres nasycenia. Od tego momentu **napięcie dren-źródło zaczyna znacząco wzrastać**; jednakże – w odróżnieniu od obciążenia rezystancyjnego – **nie towarzyszy temu zmiana prądu drenu**. Dzieje się tak dlatego, że obciążenie indukcyjne wymusza ciągły przepływ prądu o wartości  $I_o$ . Ponieważ zaś dioda jest nadal spolaryzowana zaporowo, jedyna droga przepływu prowadzi przez tranzystor.

W chwili  $t_6$  **napięcie na tranzystorze osiąga wartość napięcia zasilania  $U_{DD}$  powiększoną o niewielkie napięcie progowe diody D**. Wskutek tego **dioda przechodzi w stan przewodzenia** i może przejąć prąd obciążenia od tranzystora, co trwa do chwili  $t_7$ . Napięcie dren-źródło natomiast już się nie zmienia, gdyż z napięciowego prawa Kirchhoffa musi być ono równe

$$u_{DS} = U_{DD} + u_{AK} = U_{DD} + U_F \approx U_{DD} \quad (2.43)$$

gdzie  $U_F$  jest niewielkim spadkiem potencjału na przewodzącej diodzie D. W chwili  $t_7$  cały prąd obciążenia  $I_o$  płynie już przez diodę, wobec czego prąd drenu tranzystora spada do zera:

$$i_D = I_o - i_A = I_o - I_o = 0 \quad (2.44)$$

Tym samym proces wyłączania jest zakończony.

### 2.5.c. Załączanie

Proces załączania przebiega w sposób analogiczny do wyłączania. Rozpoczyna się on wymuszeniem odpowiednio wysokiego napięcia sterującego  $u_g$  w chwili  $t_0$ , wskutek czego napięcie bramka-źródło narasta wraz z ładowaniem pojemności wejściowej tranzystora. W chwili  $t_1$  napięcie to osiąga wartość progową  $U_{GS(th)}$ , co powoduje wytworzenie w tranzystorze kanału. Dzięki temu tranzystor może przejąć prąd obciążenia  $I_o$  od diody, co trwa do chwili  $t_2$ . W tym czasie **napięcie dren-źródło nie zmienia się, bowiem dioda nadal przewodzi część prądu obciążenia**, wobec czego jej złącze znajduje się w stanie przewodzenia. Występuje więc na niej niewielki dodatni spadek potencjału  $U_F$ , stąd zależność (2.43) pozostaje ważna.

W chwili  $t_2$  cały prąd obciążenia  $I_o$  płynie już przez tranzystor, wobec czego **dioda przestaje przewodzić prąd i jej złącze przechodzi w stan blokowania**. Tym samym może się na nim zacząć odkładać wsteczne napięcie  $u_{AK}$  (tj. ujemne przy strzałkowaniu jak na rys. 6). Dzięki temu **napięcie dren-źródło zaczyna opadać** poniżej wartości  $U_{DD}$ . Proces ten kończy się osiągnięciem, w chwili  $t_3$ , niskiej wartości  $U_{DS(on)}$  wynikającej z natężenia przewodzonego prądu  $I_o$  i rezystancji dren-źródło tranzystora. Na diodzie natomiast odkłada się napięcie wsteczne równe napięciu zasilania  $U_{DD}$  pomniejszonemu o niewielki spadek potencjału  $U_{DS(on)}$ .

Rozważania na temat wpływu efektu Millera (par. 2.4.e) pozwalają przewidzieć **przebieg napięcia bramka-źródło**. Jego **zmiany zostają spowolnione** w przedziałach czasu od  $t_2$  do  $t_3$  oraz od  $t_5$  do  $t_6$ , a więc wówczas, **gdy zachodzą zmiany napięcia wyjściowego  $u_{DS}$** . Wynika to z

multiplikacji pojemności sprzężenia zwrotnego  $C_{GD}$  zgodnie z zależnością (2.36). Wymagane jest do tego niezerowe wzmocnienie napięciowe  $g_u$ , a więc zmiana napięcia  $u_{DS}$  wraz ze zmianą napięcia  $u_{GS}$ . W konsekwencji zmiana przebiegu  $u_{GS}$  nie jest widoczna na odcinku  $t_1-t_2$  ani  $t_6-t_7$ , bowiem wówczas zmienia się prąd wyjściowy  $i_D$ , ale napięcie  $u_{DS}$  pozostaje stałe.

#### 2.5.d. Trajektoria punktu pracy

Porównując przebiegi z rys. 7a z przedstawionymi na rys. 4b nietrudno zauważyć podstawową różnicę między nimi. Podczas gdy dla obciążenia rezystancyjnego zmianom prądu drenu towarzyszyły jednoczesne **zmiany napięcia dren-źródło**, w przypadku obciążenia indukcyjnego **następują one w różnych przedziałach czasu**. Powoduje to, że punkt pracy tranzystora na płaszczyźnie  $U_{DS} \times I_D$  nie porusza się po prostej, jak na rys. 4c, ale po linii łamanej pokazanej na rys. 7b.

W pierwszym etapie załączania prąd  $i_D$  narasta do wartości  $I_o$  przy niezmienionym napięciu  $u_{DS} = U_{DD}$  (patrz rys. 7a), czemu odpowiada **przemieszczenie punktu pracy po linii pionowej** z lokalizacji  $t_1$  do  $t_2$ . Następnie napięcie  $u_{DS}$  zmniejsza się do wartości  $U_{DS(on)}$ , ale bez zmiany prądu  $i_D$ , co oznacza przesunięcie punktu pracy do lokalizacji  $t_3$  **po linii poziomej**. Odwrotny proces obserwowany jest przy wyłączaniu tranzystora, czemu odpowiada przesunięcie punktu pracy  $t_5 \rightarrow t_6 \rightarrow t_7$  po tej samej linii łamanej.

Modyfikacja trajektorii punktu pracy względem obciążenia rezystancyjnego (rys. 4c) **ma konsekwencje dla strat mocy w tranzystorze**. W przypadku obciążenia rezystancyjnego, maksymalna moc strat w obwodzie drenu  $p_D$ , tj. iloczyn  $u_{DS} \cdot i_D$ , występuje pośrodku prostej pracy, jako że minima równe 0 osiąga ona na końcach tej prostej (patrz instrukcja 6P, podrozdz. 2.3). Ta wartość maksymalna wynosi więc w przybliżeniu

$$p_{D(m),R} = (u_{DS} i_D)_{\max} \approx \frac{U_{DS(off)}}{2} \frac{I_{D(on)}}{2} = \frac{U_{DS(off)} I_{D(on)}}{4} \quad (2.45)$$

Tymczasem przy obciążeniu indukcyjnym iloczyn  $u_{DS} \cdot i_D$  osiąga maksymalną wartość w punkcie  $t_2$ , a więc wynosi ona

$$p_{D(m),L} = (u_{DS} i_D)_{\max} = U_{DD} I_o = U_{DS(off)} I_{D(on)} \quad (2.46)$$

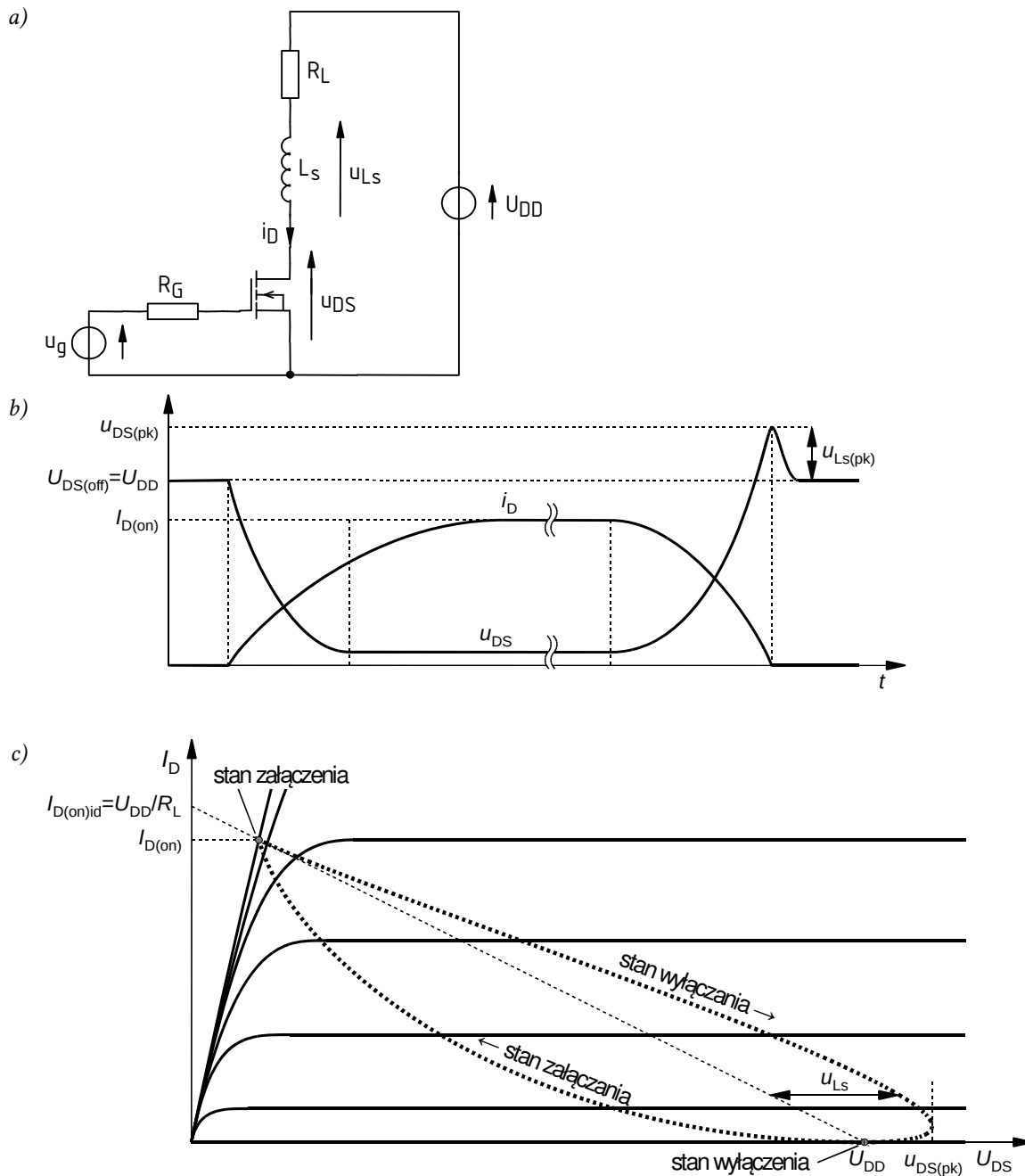
Jest więc aż **czterokrotnie większa** niż w poprzednim przypadku.

#### 2.5.e. Wpływ indukcyjności pasożytniczych na obciążenie rezystancyjne

Wyniki przedstawione wyżej zostały uzyskane przy założeniu idealności obciążeń. W praktycznych układach obciążenia takie nie występują, co dotyczy szczególnie obciążenia rezystancyjnego. **Rzeczywiste obwody** z odbiornikami rezystancyjnymi **zawierają zawsze pasożytnicze indukcyjności**, zarówno zawarte w samym odbiorniku, jak i związane z połączeniami między elementami (przewodami lub ścieżkami drukowanymi). Obwód z rys. 4a uzupełniony o indukcyjność pasożytniczą  $L_s$  pokazuje rys. 8a.

Obecność indukcyjności pasożytniczej powoduje, że **trajektoria punktu pracy odbiega od idealnej** przedstawionej na rys. 4c. Jest ona jednak również odmienna od charakterystycznej dla obciążenia indukcyjnego. Wynika to z faktu, że indukcyjność pasożytnicza posiada stosunkowo niewielką wartość, przez co nie jest w stanie wymusić ciągłego przepływu prądu w układzie, a jedynie odkształcić przebiegi podczas przełączania tranzystora.

Przy obciążeniu rezystancyjnym, na początku procesu załączania prąd obciążenia jest zerowy i rozpoczyna narastanie do swojej wartości ustalonej  $I_{D(on)}$ , wynikającej z napięcia zasilania  $U_{DD}$  i rezystancji odbiornika  $R_L$ . Ponieważ – jak przypomnieliśmy w par. 2.5.a – cewka uniemożliwia nieskończenie szybkie zmiany prądu, więc **indukcyjność pasożytnicza ogranicza szybkość narastania prądu obciążenia** (względem idealnego obciążenia rezystancyjnego). Będzie on bowiem narastać ze stałą czasową



Rys. 8. Praca tranzystora VDMOS w układzie łącznika dolnego z obciążeniem rezystancyjnym z indukcyjnością pasożytniczą, przy zaniechaniu pojemności pasożytniczych tranzystora: a) schemat układu; b) przebiegi napięcia i prądu głównego podczas przełączania; c) trajektoria punktu pracy na tle statycznych charakterystyk wyjściowych

$$\tau = \frac{L_s}{R_L} \quad (2.47)$$

W wyniku tego, zanim prąd drenu zdąży osiągnąć wartość ustaloną, szybciej nastąpi spadek napięcia dren-źródło do niskiej wartości, co pokazuje rys. 8b. W konsekwencji poszczególnym wartościom opadającego napięcia  $u_{DS}$  odpowiadać będą niższe wartości prądu  $i_D$  niż w układzie idealnym. Stąd trajektoria punktu pracy dla stanu załączania będzie przebiegać poniżej prostej pracy, co widać na rys. 8c.

Z kolei podczas wyłączenia uwidacznia się zjawisko indukowania na indukcyjności  $L_s$  dodatkowego napięcia  $u_{Ls}$  (patrz rys. 8a). Zgodnie z równaniem cewki,

$$u_{Ls} = L_s \frac{di_D}{dt} \quad (2.48)$$

Ponieważ podczas wyłączenia prąd drenu opada, więc jego pochodna jest ujemna, a tym samym ujemne jest również napięcie  $u_{Ls}$  (strzałkowane jak na rys. 8a). Z napięciowego prawa Kirchhoffa **napięcie dren-źródło tranzystora** z uwzględnieniem tego znaku wynosi

$$u_{DS} = U_{DD} - R_L i_D - u_{Ls} = U_{DD} - R_L i_D + |u_{Ls}| \quad (2.49)$$

Jest więc ono **wyższe niż w przypadku idealnego obciążenia rezystancyjnego**, dla którego wyrażało się zależnością (2.28), w której nie występował składnik  $|u_{Ls}|$ .

W chwili osiągnięcia przez prąd wartości 0, składnik ujemny we wzorze (2.49) zeruje się. Natomiast pochodna prądu jest w tym momencie największa, a więc napięcie na indukcyjności ma również pewną wartość maksymalną  $u_{Ls(pk)}$ . Dlatego napięcie dren-źródło osiąga swoją wartość szczytową, równą

$$u_{DS(pk)} = U_{DD} + |u_{Ls(pk)}| \quad (2.50)$$

Obserwujemy więc przepięcie powyżej napięcia zasilania, co widać na rys. 8b.

Jak stwierdziliśmy, podczas wyłączenia, dla każdej wartości prądu  $i_D$  napięcie  $u_{DS}$  jest wyższe (o składnik  $|u_{Ls}|$ ) niż dla obciążenia o charakterze idealnie rezystancyjnym. Wobec tego **trajektoria punktu pracy dla stanu wyłączenia będzie przebiegać na prawo od prostej pracy**, co pokazuje rys. 8c.

Z rys. 8c wynika, że **w stanie załączania moc strat w obwodzie drenu będzie mniejsza niż dla obciążenia idealnie rezystancyjnego**. Trajektoria punktu pracy przebiega bowiem poniżej prostej pracy, a więc iloczyn  $i_D \cdot u_{DS}$  osiąga mniejsze wartości. **Przeciwny efekt obserwujemy w stanie wyłączenia**, gdyż trajektoria punktu pracy dla tego stanu przebiega powyżej prostej pracy, a więc iloczyn  $i_D \cdot u_{DS}$  osiąga większe wartości.

**W stanach ustalonych indukcyjność pasożytnicza nie wpływa na wartości napięć i prądów**, gdyż prąd drenu jest wówczas z definicji stały, a więc jego pochodna jest zerowa. Tym samym, na podstawie zależności (2.48), napięcie na indukcyjności  $u_{Ls}$  jest także zerowe. Zależność (2.28) pozostaje więc ważna. Bez zmian pozostaje również wartość prądu w stanie przewodzenia  $I_{D(on)}$ .

## 2.6. Dynamiczne parametry czasowe tranzystorów MOSFET mocy

### 2.6.a. Definicje fizyczne

Najistotniejszymi cechami przyrządu półprzewodnikowego mocy w stanach dynamicznych są **szybkość załączania i szybkość wyłączenia**. Wynika to z faktu, że w większości aplikacji przyrządy półprzewodnikowe mocy pracują jako łączniki przełączane między stanem załączenia i wyłączenia. Jedną z cech dobrego łącznika jest zaś zdolność do szybkiej zmiany stanu.

Na rys. 4b zaznaczono 6 charakterystycznych odcinków czasu, jakie wyróżnia się podczas załączania i wyłączania każdego tranzystora. Definicje dla poszczególnych rodzajów tranzystorów mogą się różnić – rysunek przedstawia definicję właściwą dla tranzystorów MOSFET. Długości tych odcinków stanowią zarazem **podstawowe parametry czasowe** tranzystora:

- 1) **czas opóźnienia przy załączaniu**  $t_{d(on)}$  (ang. *turn-on delay time*) – to czas między zmianą wymuszenia w obwodzie sterowania (bramki) a pojawieniem się odpowiedzi w obwodzie głównym (drenu);
- 2) **czas narastania**  $t_r$  (ang. *rise time*) – to czas ustalenia się odpowiedzi na wyjściu, przy czym nazwa „czas narastania” odnosi się ze względów historycznych do prądu, jednakże dla tranzystorów MOSFET określa on *de facto* szybkość opadania napięcia;

Pierwszym wynalezionym tranzystorem był tranzystor bipolarny złączowy (BJT), dla którego szybkość przełączania jest narzucana przez napływ nośników mniejszościowych do bazy, co uwidacznia się w wolniejszym lub szybszym narastaniu prądu głównego. Dlatego też odpowiedni parametr przy załączaniu nazwano „czasem narastania”. W tranzystorach unipolarnych zachodzą inne zjawiska fizyczne, objawiające się w szybszym lub wolniejszym narastaniu napięcia głównego. Odpowiednio zmieniono więc definicję tego parametru, jednak dla spójności danych podawanych w katalogach, jego nazwę i oznaczenie pozostawiono bez zmian. Analogiczną genezę ma czas opadania  $t_f$ .

- 3) **czas opóźnienia przy wyłączeniu**  $t_{d(off)}$  (ang. *turn-off delay time*) – to czas między zmianą wymuszenia w obwodzie sterowania a pojawieniem się odpowiedzi w obwodzie głównym;
- 4) **czas opadania**  $t_f$  (ang. *fall time*) – to czas ustalenia się odpowiedzi na wyjściu, dla tranzystorów MOSFET określający szybkość narastania napięcia.

Niekiedy wygodniej jest korzystać z parametrów sumarycznych:

- 5) **czas załączania**  $t_{on}$  (ang. *turn-on time*) stanowi sumę czasu opóźnienia przy załączaniu i czasu narastania

$$t_{on}^{\Delta} = t_{d(on)} + t_r \quad (2.51)$$

- 6) **czas wyłączenia**  $t_{off}$  (ang. *turn-off time*) stanowi sumę czasu opóźnienia przy wyłączeniu i czasu opadania

$$t_{off}^{\Delta} = t_{d(off)} + t_f \quad (2.52)$$

- 7) **całkowity czas przełączania**  $t_{ts}$  (ang. *total switching time*) stanowi sumę czasu załączania i czasu wyłączenia

$$t_{ts}^{\Delta} = t_{on} + t_{off} \quad (2.53)$$

Jak widać, za **charakterystyczny przebieg wyjściowy** tranzystora MOSFET przyjmuje się nie prąd drenu, ale napięcie dren-źródło. Wynika to z faktu, że w tranzystorach unipolarnych brak



zjawiska napływu nośników mniejszościowych do obszaru słabo domieszkowanego. Przepływ prądu może się więc rozpocząć w bardzo krótkim czasie. Natomiast zmiany napięcia są powolniejsze, co wynika z konieczności zgromadzenia lub usunięcia ładunku z pojemności struktury.

Za koniec stanu przełączania uznaje się koniec procesów przejściowych w obwodzie głównym – zakończenie opadania lub narastania napięcia  $u_{DS}$ . W związku z tym końcowy odcinek ustalania się napięcia sterującego  $u_{GS}$  nie ma wpływu na wartość czasu  $t_{on}$  ani  $t_{off}$ . Na rys. 4b **całkowity czas załączania w obwodzie bramki** oznaczono przez  $t_{on,G}$ , zaś **całkowity czas wyłączenia w obwodzie bramki** – przez  $t_{off,G}$ . Czasy te należy uwzględnić analizując działanie przyrządu, ale nie mają znaczenia praktycznego dla jego stosowania w układach. Dlatego nie należą one do katalogowych parametrów tranzystora MOSFET mocy.

### 2.6.b. Praktyka pomiarowa

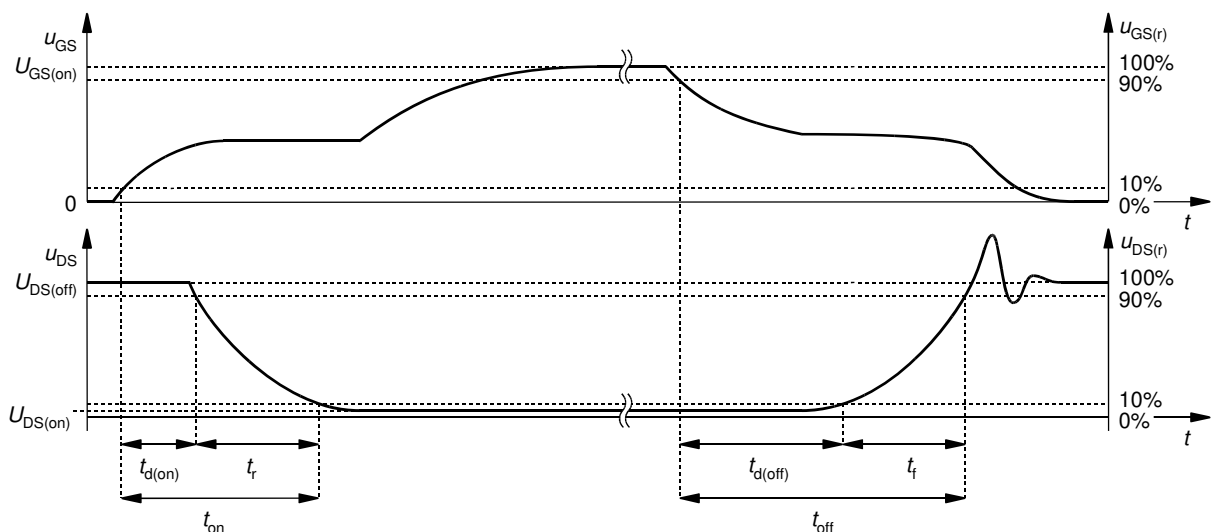
Wyżej podane definicje parametrów czasowych można określić mianem **definicji fizycznych**, gdyż określają rzeczywisty czas trwania procesów fizycznych zachodzących w przyrządzie. Niestety wykorzystanie ich w praktyce jest niemożliwe. Ze względu na to, że wszystkie procesy przejściowe teoretycznie kończą się w nieskończoności, niemożliwe jest dokładne określenie, kiedy na przykład napięcie  $u_{DS}$  osiąga swoją wartość ustaloną  $U_{DS(off)}$ .

Dlatego też w praktyce pomiarowej i projektowej stosuje się **definicje techniczne** parametrów czasowych zgodnie z normą IEC 60747-8-4. W oparciu o nie mierzone są parametry podawane w kartach katalogowych tranzystorów. W definicjach technicznych **zamiast idealnych stanów ustalonych rozpatruje się chwile osiągnięcia charakterystycznych wartości względnych przebiegów** – 10% i 90%, przy czym wartość względna oznacza tu wartość bieżącą odniesioną do poziomu wysokiego w stanie ustalonym.

W przypadku tranzystora MOSFET przebiegami referencyjnymi są napięcia  $u_{GS}$  i  $u_{DS}$ , przy czym wartością początkową napięcia  $u_{GS}$  powinno być 0 V, jak to przedstawia rys. 9. Wobec tego rozpatrywane wartości względne można formalnie opisać wzorami:

$$u_{GS(r)} = \frac{u_{GS}}{U_{GS(on)}} \quad (2.54)$$

$$u_{DS(r)} = \frac{u_{DS}}{U_{DS(off)}} \quad (2.55)$$



Rys. 9. Techniczne definicje parametrów czasowych tranzystora MOSFET mocy według normy IEC 60747-8-4

Techniczne definicje parametrów czasowych tranzystora MOSFET można wyrazić słownie następująco:

- **czas opóźnienia przy załączaniu**  $t_{d(on)}$  – to czas od chwili, w której wartość względna  $u_{GS(t)}$  narastającego napięcia  $u_{GS}$  osiąga 10%, do chwili, w której wartość względna  $u_{DS(t)}$  opadającego napięcia  $u_{DS}$  osiąga 90%;
- **czas narastania**  $t_r$  – to czas, w którym wartość względna napięcia  $u_{DS}$  spada od 90% do 10%;
- **czas opóźnienia przy wyłączeniu**  $t_{d(off)}$  – to czas od chwili, w której wartość względna opadającego napięcia  $u_{GS}$  osiąga 90%, do chwili, w której wartość względna narastającego napięcia  $u_{DS}$  osiąga 10%;
- **czas opadania**  $t_f$  – to czas, w którym wartość względna napięcia  $u_{DS}$  wzrasta od 10% do 90%.

Całkowite czasy załączania i wyłączania definiowane są nadal jako sumy odpowiednich czasów składowych, a więc ich definicje techniczne są identyczne z fizycznymi.

Specjalne układy pomiarowe są konstruowane w sposób maksymalnie zbliżający przebiegi do idealnych. Mimo to mogą być widoczne skutki obecności elementów pasożytniczych – w postaci **przetężeń, przepięć i oscylacji**, co na rys. 9 zobrazowano dla napięcia  $u_{DS}$  podczas wyłączania. Jeżeli w wyniku ich obecności definicyjny poziom napięcia jest przekraczany kilkakrotnie, **należy zawsze brać pod uwagę pierwsze przecięcie danego poziomu przez odpowiedni przebieg**. Wynika to z faktu, że nawet napięcia zakłócone nie mogą zmieniać się szybciej, niż pozwalają na to mechanizmy fizyczne działające w strukturze półprzewodnikowej. Stąd poziom odniesienia zostanie osiągnięty zawsze po czasie wynikającym z właściwości przyrządu, które to właśnie chcemy zbadać. Natomiast fakt przekroczenia poziomu odniesienia (przepięcie) oraz następujące dążenie do stanu ustalonego (dalsze oscylacje) wynikają z parametrów układu pracy i dlatego nie powinny być brane pod uwagę.

Analizując kartę katalogową badanego tranzystora można zauważyć, że producent podaje wartości parametrów czasowych dla **ściśle określonych warunków** zasilania i sterowania. Są to więc wartości przykładowe, umożliwiające orientacyjne porównanie różnych przyrządów między sobą. W rzeczywistym układzie parametry te mogą okazać się znacząco inne, gdyż wpływ układu i warunków pracy tranzystora jest znaczący.

### 3. Pomiary

---

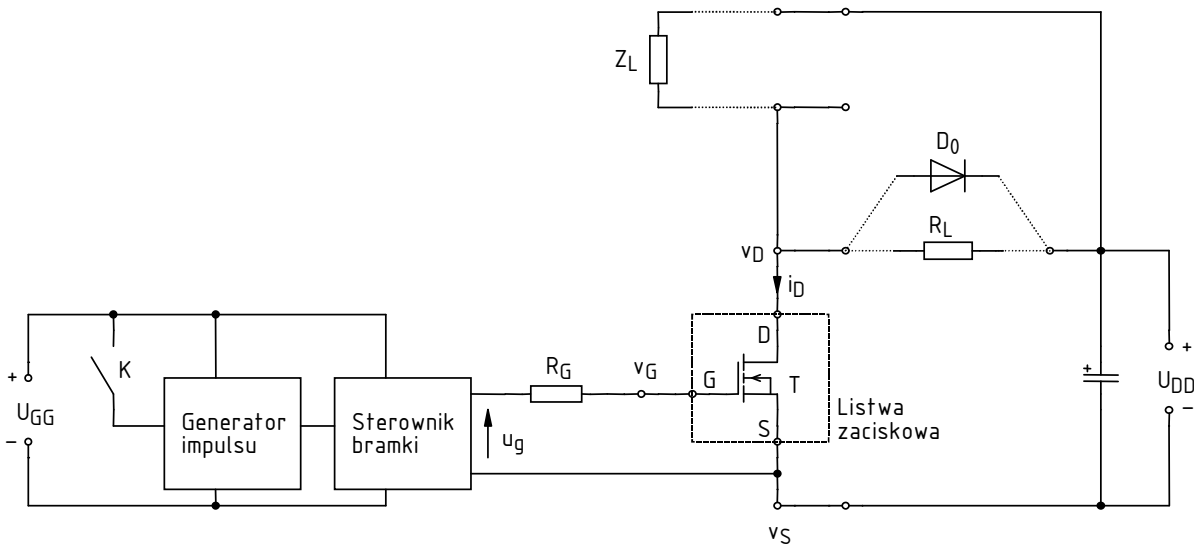
#### 3.1. Opis układu pomiarowego

##### Opis układu

Schemat układu laboratoryjnego w postaci przerywacza w topologii łącznika dolnego jest przedstawiony na rys. 10. Zaznaczone punkty układu połączone są z **gniazdami na płycie czołowej**. Ponadto punkty G, D i S doprowadzone są (w kolejności widocznej na panelu układu) do niebieskiej listwy mocującej, co pozwala na włączenie w obwód tranzystora T. W ćwiczeniu badaniu zostanie poddany tranzystor MOSFET IRF540N. Odbiornik – rezystancyjny  $R_L$  lub indukcyjny  $Z_L$  – jest dołączany poprzez gniazda na panelu wskazane w dalszym ciągu instrukcji.

**Sterowanie tranzystorem** realizowane jest za pomocą wbudowanego generatora przebiegu impulsowego o parametrach: częstotliwość  $f_p = 10$  kHz, współczynnik wypełnienia  $D = 0,5$ . Między generatorem a bramką tranzystora znajduje się sterownik bramki IR2117 i opornik bramkowy o rezystancji  $R_G \sim 100 \Omega$ . Impulsowe napięcie sterujące bramką  $u_g$  ma amplitudę w przybliżeniu równą napięciu zasilającemu obwód sterowania  $U_{GG} = 10$  V. Generator uruchamiany jest przez wciśnięcie jednego z dwóch przycisków K na panelu: czerwonego – dla trwałego załączenia generatora lub zielonego – dla załączenia jedynie na czas przytrzymania przycisku. Praca generatora sygnalizowana jest przez żółtą diodę.

Oscyloskop będzie odświeżał dane w swojej pamięci wyłącznie w czasie, gdy generator pracuje. W związku z powyższym po każdej zmianie nastaw konieczne jest załączenie generatora. Dotyczy to również sytuacji, gdy nastawy zostały zmienione tylko na urządzeniach pomiarowych (oscylkopie, sondzie prądowej). **Dopiero po wygenerowaniu nowych impulsów oscyloskop zarejestruje przebiegi przy nowych ustawieniach i zmiana ustawień odniesie jakikolwiek skutek.** Do tego czasu, nawet jeżeli wydaje się, że dane uległy zmianie (np. przebiegi zostały powiększone w poziomie wskutek zmniejszenia podstawy czasu), nie jest to prawdą. W pamięci oscyloskopu nadal będą znajdować się dane zarejestrowane przy poprzednich nastawach; jedynie punkty na ekranie będą rozmieszczone z większym odstępem. Tego typu powiększenie jest podobne do funkcji powiększenia cyfrowego na aparacie fotograficznym – nie powoduje ono rejestracji obrazu z większą dokładnością, a tylko jego rozciągnięcie.



Rys. 10. Schemat układu laboratoryjnego łącznika dolnego

W niniejszym ćwiczeniu, ze względu na ryzyko przegrzania tranzystora i odbiornika, generator powinien być przez większość czasu wyłączony i włączany tylko na krótki czas w celu odświeżenia przebiegów na oscyloskopie. W związku z tym należy korzystać wyłącznie z zielonego przycisku załączającego generator, wciskając go nie dłużej niż sekundę.

Do zasilania układu doświadczalnego używane będą dwa zasilacze 2-sekcyjne:

- z niezależną pracą sekcji (wykorzystywana będzie tylko jedna z nich) – do obwodu sterowania ( $U_{GG}$  oraz zasilanie bramki w par. 3.2);
- z równoległą pracą sekcji, co umożliwi uzyskanie wyższego napięcia – do obwodu mocy ( $U_{DD}$ ).

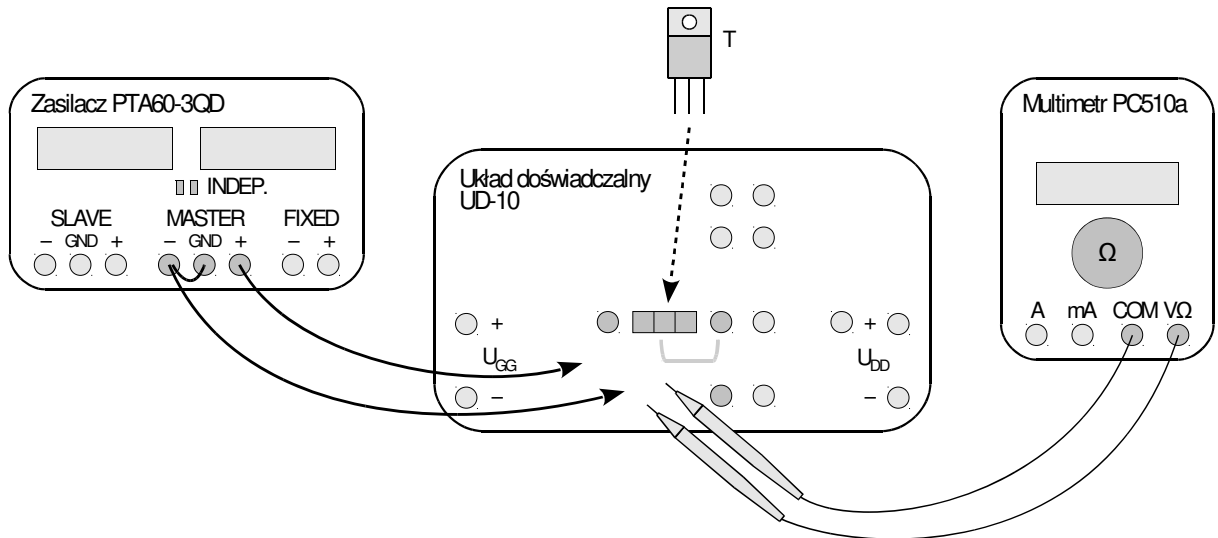
Układ umożliwia pomiar napięć międzykońcówkowych oraz prądu drenu badanego elementu. **Pomiaru napięć** dokonuje się za pomocą sond napięciowych podłączonych w odpowiedni sposób do gniazd bananowych oznaczonych na rys. 10 jako  $v_S$ ,  $v_G$  i  $v_D$ . Służą do tego wtyki bananowe z wyprowadzeniami umożliwiającymi przyłączenie sondy. Wtyki te mogą być dowolnie przenoszone w zależności od bieżących potrzeb.

**Pomiaru prądu** dokonuje się przez zamknięcie sondy prądowej wokół wyprowadzonego fragmentu przewodu oznaczonego na rys. 10 jako  $i_D$ . Strzałka na korpusie sondy wskazuje kierunek przyjmowany za dodatni. Sonda powinna zostać tak zorientowana, aby był on zgodny z rzeczywistym.

**Rejestracji danych z oscyloskopu** dokonuje się za pomocą programu OpenChoice Desktop dostępnego z menu Start, zakładka *Pomiary*, w sposób opisany w dalszym ciągu niniejszej instrukcji.

### 3.2. Rezystancja obwodu głównego

Schemat blokowy układu pomiarowego przedstawia rys. 11. Jego zestawienia należy dokonać w sposób opisany niżej i w podanej kolejności.



Rys. 11. Schemat blokowy układu pomiarowego do pomiaru rezystancji dren-źródło

1. Upewnij się, że zasilacz jest wyłączony. Przetwórz zasilacz w tryb niezależnej pracy sekcji – *Independent* (dwa przyciski pośrodku panelu czołowego, wyjaśnienie funkcji których znajduje się na panelu nad nimi). Skręć wszystkie pokrętki zasilacza do zera (skrajne położenie przeciwnie do ruchu wskazówek zegara).
2. Włącz zasilacz.

**Aby nie zniszczyć bramki tranzystora przez wyładowanie elektrostatyczne, należy wszelkich manipulacji z nim dokonywać po wcześniejszym uziemieniu się (np. przez dotknięcie masy jednego z wejść oscyloskopu)! Tranzystora nie należy chwytać za wyprowadzenia, ale za metalową podstawę.**

3. W potrójną listwę zaciskową na panelu układu włącz badany tranzystor, zgodnie ze schematem układu (należy porównać rys. 10 z rysunkiem na panelu) oraz układem wyprowadzeń badanego tranzystora pokazanym w karcie katalogowej obudowy TO-220, która stanowi załącznik do niniejszej instrukcji. Dokręć wszystkie 3 śruby mocujące.
4. Upewnij się, że pętla obwodu mocy pozostaje otwarta, tj. brak elementów przyłączonych do gniazd na panelu położonych na prawo od i powyżej tranzystora.
5. Za pomocą przewodów bananowych, doprowadź napięcie z jednej z nastawnych sekcji zasilacza między bramką a źródło tranzystora, tak, by napięcie  $u_{GS}$  było dodatnie, tj. połącz:
  - gniazdo „+” wyjścia zasilacza – z bramką tranzystora (gniazdo  $v_G$ ),
  - gniazdo „-” wyjścia zasilacza – ze źródłem tranzystora (gniazdo  $v_S$ ),
  - dodatkowo uziemiając biegun ujemny – przez połączenie gniazda „-” z gniazdem GND.
6. Nieznacznie zwiększ prąd graniczny ograniczenia prądowego zasilacza (pokrętko *Current*), do zgaśnięcia czerwonej kontrolki ograniczenia prądowego (*C.C.*)
7. Włącz multimetr i ustaw w tryb pomiaru rezystancji. Do odpowiednich (do wykonania pomiaru rezystancji) gniazd miernika przyłącz oryginalne sondy ostrzowe.

Jeżeli na wyświetlaczu miernika wyświetlony zostanie wskaźnik rozładowania baterii (symbol baterii), nie należy kontynuować pomiarów, a zwrócić się do prowadzącego celem jej wymiany. W przeciwnym razie wskazania miernika mogą być błędne.

8. Za pomocą multimetru, zmierz rezystancję dren-źródło  $R_{DS}$  tranzystora, przytykając sondy ostrzowe do odpowiednich jego wyprowadzeń zamocowanych w listwie zaciskowej (a nie do jakichkolwiek innych punktów w układzie pomiarowym zlokalizowanych gdziekolwiek indziej):
- sondę z gniazda wspólnego miernika (COM) – do drenu tranzystora,
  - sondę z gniazda pomiaru rezystancji ( $\Omega$ ) – do źródła tranzystora.

Zanotuj wskazanie miernika  $R_{DS}$  z dokładnością do 2 cyfr znaczących.

**Przed wykonaniem kolejnego punktu poprawność połączeń i ustawień musi sprawdzić prowadzący.** Aby nie tracić czasu, oczekując na sprawdzenie należy wykonać pkt 3.3/1.

**Podczas wykonywania kolejnego podpunktu, nastawione napięcie w żadnym momencie nie może przekroczyć 15 V, gdyż grozi to uszkodzeniem tranzystora.**

9. Stopniowo zwiększaj napięcie zasilacza (nie więcej jednak niż do 10 V) i zanotuj napięcie  $U_{GS}$ , przy którym rezystancja  $R_{DS}$  spadnie radykalnie, tj. o co najmniej 3 rzędy wielkości. Zanotuj także tę rezystancję.

Wyrażenie „co najmniej” oznacza, że rozmiar spadku nie może być mniejszy niż podany, natomiast może być większy. Nie oznacza ono, że rozmiar spadku ma być dokładnie taki, jak podany, wobec czego nie należy tracić czasu na dokładny dobór napięcia dla uzyskania jakiegokolwiek konkretnej wartości rezystancji.

10. Zmierz rezystancję dren-źródło w warunkach pełnego załączenia:

a) skalibruj miernik do pomiaru małych rezystancji:

- zewrzyj końce sond ostrzowych,
- zaczekaj na ustalenie się wskazania miernika,
- przy całym czasie zwartych końcach sond, wciśnij przycisk *Range* w celu uruchomienia procedury kompensacji rezystancji przewodów,
- na wyświetlaczu powinien na 3 sek. pojawić się komunikat „Shrt” (*short* – zwarcie), po czym powinno wyświetlić się wskazanie 0,
- rozewrzyj końce sond;

b) na zasilaczu ustaw napięcie 10 V;

c) przytknij sondy ostrzowe do odpowiednich wyprowadzeń tranzystora zamocowanych w listwie zaciskowej:

- gniazdo wspólne miernika (COM) – do źródła tranzystora,
- gniazdo pomiaru rezystancji ( $\Omega$ ) – do drenu tranzystora;

zanotuj wskazanie miernika  $R_{DS}$ .

11. Sprowadź napięcie na zasilaczu do zera i wyłącz go.

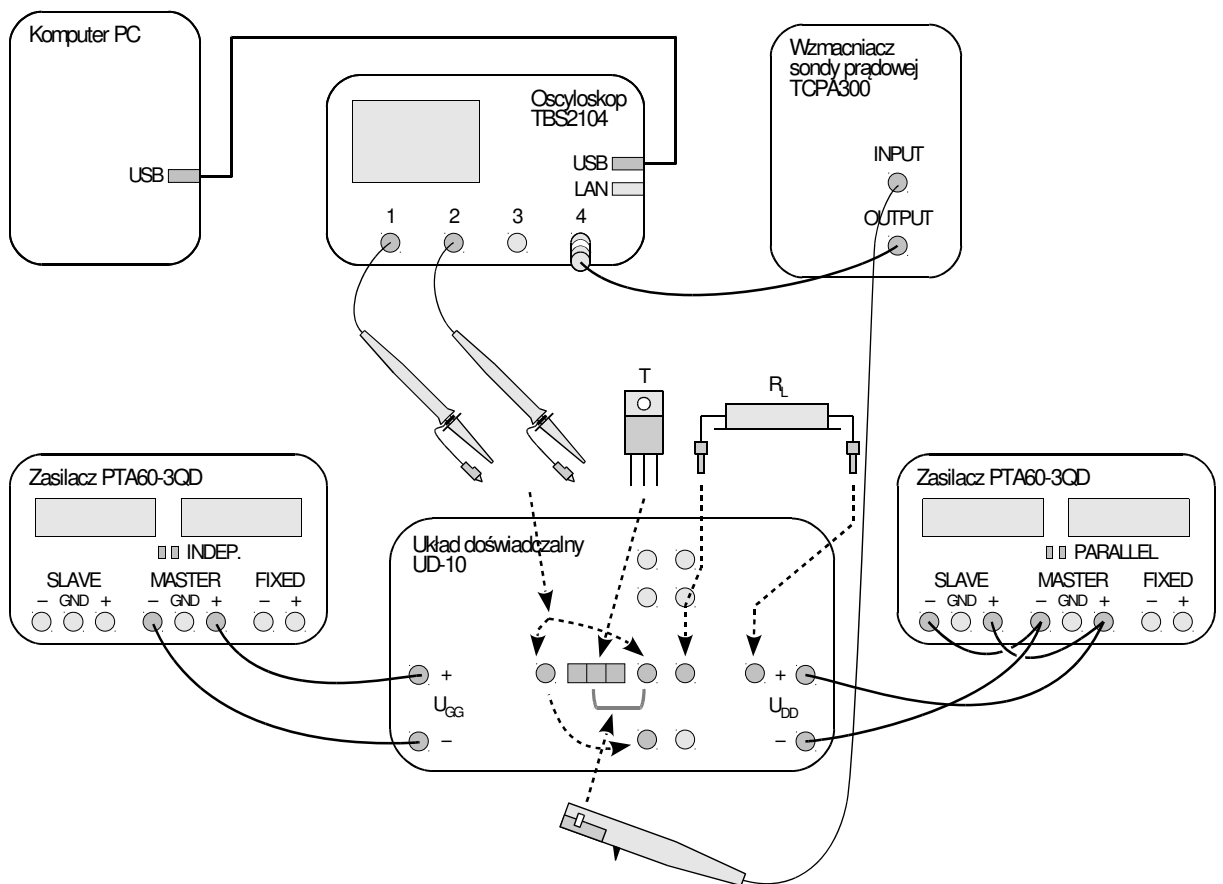
12. Wyłącz miernik.

### 3.3. Przygotowanie do rejestracji przebiegów w funkcji czasu

#### Konfiguracja układu pomiarowego

Schemat blokowy układu pomiarowego przedstawia rys. 12. Jego zestawienia i konfiguracji należy dokonać w sposób opisany niżej i w podanej kolejności. Połączeń istniejących w tej chwili wskutek wykonania poprzedniego paragrafu nie należy likwidować; zostanie podana procedura ich odpowiedniej modyfikacji.

Aby nie tracić czasu, równoległe z pkt. 1 należy wykonywać kolejne punkty.



Rys. 12. Schemat blokowy układu pomiarowego do rejestracji przebiegów w funkcji czasu

1. Włącz komputer. Po zakończeniu logowania, włącz oscyloskop i w razie potrzeby skonfiguruj połączenie z komputerem zgodnie z instrukcją dostępną na stanowisku.
2. Do układu doświadczalnego przyłącz zasilanie:
  - a) upewnij się, że oba zasilacze są wyłączone;
  - b) dwoma przyciskami pośrodku panelu czołowego ustaw tryb pracy sekcji:
    - jednego zasilacza, który zostanie użyty do obwodu sterowania – niezależny (*Independent*; ustawienie to powinno zostać już wykonane w ramach paragrafu 3.2),
    - drugiego zasilacza, który zostanie użyty do obwodu mocy – równoległy (*Parallel*);
  - c) skręć wszystkie pokrętki obu zasilaczy do zera (skrajne położenie przeciwnie do ruchu wskazówek zegara);
  - d) zlikwiduj zwarcie wyjścia „-” z uziemieniem (gniazdem GND);

- e) gniazda „+” i „-” jednej z sekcji nastawnych zasilacza obwodu sterowania [patrz ppkt b)] połącz z gniazdami  $U_{GG}$  na panelu układu – przełóż przewody z gniazd  $v_S$  i  $v_G$  do gniazd  $U_{GG}$ , zachowując biegunowość identyczną z zasilaczem;
  - f) krótkim przewodem zewrzyj gniazdo „-” sekcji Master drugiego zasilacza (obwodu mocy) z gniazdem „-” sekcji Slave tego samego zasilacza; analogicznie postąp z gniazdami „+”;
  - g) gniazda „+” i „-” sekcji nadrzędnej (Master) zasilacza obwodu mocy połącz z odpowiednimi gniazdami  $U_{DD}$  na panelu układu, zachowując biegunowość identyczną z zasilaczem.
3. Ze strony internetowej uzyskaj i zanotuj napięcie zasilania obwodu mocy  $U_{DD}$  oraz pożądany prąd obciążenia  $I_o$ .
  4. Włącz w układ niezbędne elementy:
    - a) z prawa Ohma, oblicz rezystancję opornika obciążającego  $R_L$  taką, by przy napięciu zasilania obwodu mocy  $U_{DD}$  otrzymanym w pkt. 3, po załączeniu tranzystora w obwodzie tym popłynął prąd  $I_o$  ustalony w pkt. 3 (do tego celu założyć, że tranzystor jest łącznikiem idealnym, tj. rezystancja jego obwodu głównego w stanie załączenia jest zerowa);
    - b) spośród dostępnych oporników mocy (50 W, w metalowej obudowie, z wyprowadzonymi krótkimi przewodami i końcówkami bananowymi) wybierz element o wartości najbliższej obliczonej wyżej;
 

Wartości parametrów elementów elektronicznych postaci „a,b U”, gdzie  $a$  – część całkowita,  $b$  – część ułamkowa,  $U$  – jednostka, przyjęło się zapisywać jako „aUb”.
    - c) za pomocą multimetru zmierz dokładną rezystancję wybranego opornika i zanotuj ją;
    - d) włącz wybrany opornik między gniazda pokazane na rys. 12.

**Metalowa obudowa odbiornika w żadnym momencie nie może dotykać jakichkolwiek innych metalowych elementów. Grozi to zwarcie*m* i uszkodzeniem układu oraz elementu badanego!**

5. Sondy napięciowe z tłumieniem 10:1 przyłącz do układu w taki sposób, by na kanale 1 mierzyć napięcie bramka-źródło  $u_{GS}$ , a na kanale 2 – napięcie dren-źródło  $u_{DS}$  tranzystora. Jeżeli tylko jedna z sond posiada wyprowadzenie masy, należy jej użyć do pomiaru napięcia  $u_{DS}$ .

#### Uwaga!

1. Masy sond napięciowych (końcówki krokodyłkowe) są na oscyloskopie zwarte ze sobą i połączone z przewodem ochronnym sieci; w związku z tym muszą być zawsze przyłączone do tego samego potencjału. Inne połączenie grozi przepływem prądu przez oscyloskop i uszkodzeniem jego obwodów wejściowych!
  2. Podczas wykonywania pomiarów nie należy dotykać elementów, na których występuje napięcie zasilające obwodu mocy (w szczególności wyprowadzenie potencjału drenu  $v_D$ , metalowa podstawa tranzystora, wyprowadzenia opornika obciążającego, a w przyszłości cewki i diody gaszącej).
  3. **Przed wykonaniem kolejnego punktu poprawność połączeń musi sprawdzić prowadzący!**
  4. **Przed wykonaniem pkt. 6 i 8 należy je przeczytać w całości wraz z uwagami poniżej nich!**
6. Włącz zasilacz obwodu sterowania. Ustaw napięcie zasilające obwód sterowania (pokrętło *Voltage*) na 10 V – jeżeli w trakcie włączy się ograniczenie prądowe, należy najpierw zmniejszyć napięcie, zwiększyć próg ograniczenia prądowego i dopiero wówczas ponownie spróbować zwiększyć napięcie.

Przy poprawnej pracy układu amperomierz zasilacza powinien wykazywać pobór prądu rzędu dziesiątek miliamperów. Jeżeli podczas nastawiania lub później obserwowane jest co innego, należy natychmiast wyłączyć zasilacz i poprosić prowadzącego o ponowne sprawdzenie układu.

Należy uważać, aby w czasie nastawiania nie przekroczyć nigdy wartości 18 V, gdyż grozi to zniszczeniem układów scalonych.



7. Upewnij się, że generator impulsów jest wyłączony, o czym świadczy zgaszona żółta kontrolka pod przyciskami K. W przeciwnym razie wyłącz generator wciskając czerwony przycisk.
8. Zasil obwód mocy:
  - a) włącz zasilacz obwodu mocy;
  - b) nieznacznie zwiększ prąd graniczny ograniczenia prądowego obu sekcji zasilacza obwodu mocy (pokręćła *Current*) do zgaśnięcia czerwonej kontrolki (*C.C.*) sekcji *Master* (analogiczna kontrolka sekcji *Slave* będzie nadal świecić);
  - c) pokręćłem *Voltage sekcji Master* (w trybie równoległym powoduje ono jednoczesną regulację obu sekcji), ustaw napięcie zasilające obwód mocy równe wartości ustalonej w pkt. 3; w przypadku włączenia się ograniczenia prądowego, należy postępować jak w pkt. 6; na panelu układu powinna zapalić się czerwona dioda sygnalizacyjna;  
  
**Przy poprawnej pracy układu, w stanie spoczynku (wyłączony generator) zasilacz nie powinien wykazywać poboru prądu poza stałym prądem diody sygnalizacyjnej (ok. 0,02 A) i przejściowym prądem ładowania kondensatora stabilizującego wewnątrz układu (nie więcej niż 0,05 A). Jeżeli podczas nastawiania lub później obserwowane jest co innego, należy natychmiast wyłączyć zasilacz i poprosić prowadzącego o ponowne sprawdzenie układu.**
  - d) jeżeli nie są obserwowane oznaki niepoprawnej pracy układu, zwiększ prąd graniczny obu sekcji zasilacza obwodu mocy do maksimum.
9. Za pomocą programu do komunikacji z oscyloskopem, wczytaj do oscyloskopu ustawienia początkowe:
  - przejdź do zakładki *Get & Send Settings*;
  - kliknij *Open* i wczytaj plik *ustawienia\_3p\_tbs2014.set*;
  - kliknij *Send Settings* (nie *Send to Multiple*);
  - wróć do zakładki *Screen Capture*.

## Pomiar próbny

**Załączanie tranzystora na dłużej niż sekundę, w tym na stałe (czerwony przycisk), zarówno podczas pomiarów próbnych, jak i właściwych badań, grozi uszkodzeniem przyrządu wskutek jego przegrzania!**

10. Wygeneruj ciąg impulsów przełączających tranzystor wciskając (na nie więcej niż sekundę) zielony przycisk na panelu układu. Na oscyloskopie na moment powinien pojawić się komunikat „Trig’d” (Triggered) nad podziałką oraz powinien zostać wyświetlony przebieg napięcia  $u_{GS}$ . Jeżeli to nie nastąpi, należy poprosić prowadzącego o sprawdzenie ustawień oscyloskopu.
11. Dostosuj (generując ciąg impulsów przełączających po każdej zmianie ustawień) podstawę czasu i położenie chwili wyzwolenia (pokręćła *Horizontal Scale* i *Horizontal Position*) tak, aby jeden impuls napięcia  $u_{GS}$  był widoczny w całości (por. rys. 4b) i zajmował w poziomie większość ekranu.
12. Przyciskiem 2 wyświetl przebieg z kanału 2 – napięcia  $u_{DS}$ . Skontroluj poprawność przebiegu (patrz rys. 4b).  
  
Przyciski oznaczone numerem kanału 1-4 powodują naprzemienne wyświetlanie i ukrywanie przebiegu z danego kanału oscyloskopu. Wyświetlanie danego przebiegu sygnalizowane jest przez strzałkę wskazującą poziom zera z lewej strony podziałki oraz przez symbol kanału „CHx” pod podziałką.
13. Jeżeli którykolwiek z przebiegów wykracza poza ekran (pominąć ewentualne krótkie szpilki), dla odpowiedniego kanału wyreguluj wzmocnienie i położenie poziomu zera (pokręćła *Vertical Scale* i *Vertical Position*).
14. Przyciskiem 4 wyświetl przebieg z kanału 4 (jego obecna postać nie jest istotna).

15. Skonfiguruj sondę prądową i jej połączenie z oscyloskopem postępując według dostępnej na stanowisku instrukcji do sond prądowych. Obowiązkowo należy przeczytać i zastosować się do podanych we wskazanej instrukcji wskazówek dotyczących konfiguracji oscyloskopu.

W odpowiednim momencie:

- wyjście wzmacniacza przyłącz do kanału 4;
- ustaw współczynnik przetwarzania prąd-napięcie na wartość umożliwiającą pomiar przebiegu o amplitudzie  $I_0$  ustalonej w pkt. 3 (patrz informacje o działaniu wzmacniacza podane w instrukcji do sond prądowych).

16. Na wzmacniaczu sondy ustaw sprzężenie z przenoszeniem składowej stałej – *Coupling*: DC.

17. Zamknij sondę wokół odpowiedniego fragmentu przewodu tak, by mierzyć prąd drenu  $i_D$  i aby mierzony kierunek tego prądu był zgodny z rzeczywistym (biorąc pod uwagę układ połączeń pokazany na panelu układu doświadczalnego).

18. Generując ciągi impulsów przełączających, dostosuj wzmocnienie w torze pomiarowym i położenie przebiegu (pokręćła *Vertical Scale* i *Vertical Position*) tak, aby przebieg prądu był widoczny optymalnie, tj. wypełniał ekran w pionie w maksymalnym stopniu, ale poza niego nie wykroczał. Skontroluj poprawność przebiegu (patrz rys. 4b).

19. Jeżeli wskutek niedoskonałego działania sondy prądowej widoczna na oscyloskopie wartość prądu w stanie wyłączenia – o której wiadomo, iż w bieżącej skali podziałki jest niezauważalnie mała – nie jest zlokalizowana dokładnie na poziomie zera odpowiedniego kanału oscyloskopu (wskazywanym przez strzałkę na lewo od podziałki), wprowadź odpowiednią korektę:

- a) na oscyloskopie zmień tryb wyzwalania na automatyczny – wciśnij przycisk *Trigger Menu*, wciśnij przycisk ekranowy *Mode*, pokręćłem *Multipurpose* wybierz *Auto* i zaakceptuj wciskając pokręćło;
- b) tymczasowo ukryj przebiegi z kanałów 1 i 2;
- c) przyciskami *Manual Balance*  $\hat{u}/\hat{d}$  na wzmacniaczu sondy odpowiednio przesunij przebieg prądu (ze względu na dużą stałą podziałki prądu, przycisk należy przytrzymać przez kilkanaście sekund, by przesunięcie przebiegu stało się zauważalne);
- d) na oscyloskopie przywróć normalny tryb wyzwalania – wciśnij przycisk *Trigger Menu*, wciśnij przycisk ekranowy *Mode*, pokręćłem *Multipurpose* wybierz *Normal* i zaakceptuj wciskając pokręćło;
- e) ponownie wyświetl przebiegi z kanałów 1 i 2.

**Niewykonanie powyższego punktu może spowodować, iż wyniki będą błędne.**

20. Wygeneruj ciąg impulsów przełączających. Sprawdź, czy amplituda impulsu prądu obserwowana na oscyloskopie jest w przybliżeniu równa wartości uzyskanej w pkt. 3. W razie stwierdzenia rozbieżności upewnij się, że ustawienia odpowiedniego kanału oscyloskopu są zgodne z wymaganiami podanymi w instrukcji do sond prądowych. Jeżeli to nie pomoże, poproś prowadzącego o ponowne sprawdzenie układu i nastaw sprzętu pomiarowego.

**Pominięcie powyższego punktu może spowodować duże trudności na etapie opracowywania wyników!**

### 3.4. Wykonanie pomiarów przebiegów

#### Pełny cykl przełączania

1. Wygeneruj ciąg impulsów przełączających. W razie potrzeby dostosuj wzmocnienie i położenie poziomu zera poszczególnych kanałów (pokrętła *Vertical Scale* i *Vertical Position*) tak, aby każdy przebieg, od swojego poziomu zera (wskazywanego przez strzałkę na lewo od podziałki) do swojej wartości maksymalnej, zajmował jak największą część całego obszaru ekranu w pionie, ale poza niego nie wykraczał (nadal należy zaniedbać ewentualne krótkie szpilki).
2. Zarejestruj komplet 3 przebiegów  $u_{GS}$ ,  $u_{DS}$  i  $i_D$  (razem) w formie graficznej:
  - w programie OpenChoice Desktop przejdź do zakładki *Screen Capture*,
  - kliknij *Get Screen*,
  - kliknij *Save As*,
  - w polu *Zapisz jako format* wybierz PNG,
  - wybierz lokalizację pliku i nadaj mu nazwę,
  - zaakceptuj myszą (nie klawiszem *Enter*, gdyż to spowodowałoby ponowną aktywację przycisku *Save As*).

#### Dokładna obserwacja stanu załączania i stanu wyłączenia

3. Zarejestruj przebiegi umożliwiające analizę stanu załączania tranzystora (nie jakiegokolwiek innego stanu pracy):
  - a) generując ciągi impulsów przełączających, zmień podstawę czasu (*Horizontal Scale*) i położenie momentu wyzwania (*Horizontal Position*) tak, aby z maksymalną dokładnością obserwować przebieg załączania tranzystora (nie jakiegokolwiek innego stanu pracy) poczynając od początku zmian w obwodzie sterowania do ustalenia się przebiegów w obwodzie mocy, tj. na odcinku  $t_{on}$  (zob. rys. 4b);
  - b) upewnij się, że ustawienia kanałów nadal spełniają wymagania podane w pkt. 1, jednak obecnie z uwzględnieniem ewentualnych przepięć – w przeciwnym razie zmień je zgodnie z pkt. 1;
  - c) zarejestruj komplet 3 przebiegów  $u_{GS}$ ,  $u_{DS}$  i  $i_D$  (razem) w formie graficznej;
  - d) oprócz tego pobierz i zapisz ten sam komplet przebiegów w formie numerycznej:
    - w programie OpenChoice Desktop przejdź do zakładki *Waveform Data Capture*,
    - kliknij *Select Channels* i zaznacz kanały CH1, CH2 i CH4,
    - kliknij *Get Data*,
    - kliknij *Save As*,
    - w polu *Zapisz jako format* wybierz CSV,
    - wybierz lokalizację pliku i nadaj mu nazwę,
    - zaakceptuj myszą (nie klawiszem *Enter*, gdyż to spowodowałoby ponowną aktywację przycisku *Save As*).

W dalszym ciągu ćwiczenia ponowny wybór kanałów nie będzie potrzebny. W związku z tym zamiast przycisku *Select Channels* należy używać bezpośrednio przycisku *Get Data*.

4. Zarejestruj przebiegi umożliwiające analizę stanu wyłączenia tranzystora:
  - a) przed wykonaniem jakichkolwiek innych czynności przestaw oscyloskop na wyzwalanie z boczem opadającym przebiegu  $u_{GS}$  – wciśnij *Trigger Menu*, a następnie przycisk ekranowy *Slope*, aby przestawić opcję na  $\searrow$ ;

**Niewykonanie powyższego podpunktu znacząco wydłuży wykonanie ćwiczenia.**

- b) powtórz pkt 3 w całości, tzn wszystkie jego podpunkty [nie tylko niektóre, z zastrzeżeniem uwagi pod ppkt. 3.d)], z tym że oceniając poprawność obserwowanych przebiegów zamiast załączania należy oczywiście rozważać wyłączanie – odcinek  $t_{off}$  na rys. 4b.

**Niewykonanie ppkt. 3.a) w większości przypadków spowoduje, że rejestrowany obraz nie pozwoli na uzyskanie wymaganych wyników na etapie przetwarzania wyników.**

### **Obwód bramki przy zerowym napięciu dren-źródło**

5. \* Przywróć podstawę czasu umożliwiającą obserwację pełnego cyklu przełączania.
6. \* Sprowadź napięcie  $U_{DD}$  do zera (nie wyłączaj zasilacza).
7. \* Zmień zbocze wyzwalające na narastające (*Trigger Menu, Slope: f*). Nie zmieniaj żadnych innych ustawień oscyloskopu, w szczególności podstawy czasu i wzmocnień kanałów.
8. \* Zarejestruj tylko przebiegi napięć (tj.  $u_{GS}$  i  $u_{DS}$ ), w formie graficznej.

### **Zakończenie pomiarów**

9. Sprowadź do zera napięcie zasilania obwodu mocy. Zaczekaj na zgaśnięcie czerwonej diody sygnalizacyjnej na płycie układu.
10. Sprowadź do zera napięcie zasilania obwodu sterowania.
11. Wyłącz zasilacz i rozłącz układ; nie odłączaj jednak: sond napięciowych od oscyloskopu, sondy prądowej od jej wzmacniacza, a wzmacniacza sondy od oscyloskopu.
12. Wymontuj opornik obciążający i tranzystor. Dokręć na powrót śruby w zwolnionej listwie zaciskowej.

### 4. Opracowanie i analiza wyników

---

#### 4.1. Tranzystor jako łącznik i parametry stanów statycznych

##### Cykl przełączania

1. Wypełnij część 1 sprawozdania.

##### Rezystancja dren-źródło i napięcie progowe

2. Wypełnij część 2 sprawozdania.

##### Tranzystor jako łącznik w stanach statycznych

3. Wypełnij część 3 sprawozdania.

##### Działanie w stanach dynamicznych

4. Wypełnij część 4 sprawozdania.

## 4.2. Trajektoria punktu pracy

### Uruchomienie programu Octave

1. Uruchom pakiet do obliczeń numerycznych Octave.
2. Kliknij ikonę *Browse Directories* i zmień katalog roboczy na katalog zawierający dane z oscyloskopu zarejestrowane za pomocą programu OpenChoice Desktop.
3. Przenieś niezbędne pliki skryptów w języku Matlab do katalogu roboczego albo dodaj ścieżkę dostępu do tych plików do zmiennej *path* za pomocą polecenia

```
addpath('ścieżka_dostępu_do_skryptów');
```

### Wykreślenie trajektorii punktu pracy i mocy strat

4. Wczytaj dane zarejestrowane w formie numerycznej (format CSV) dla stanu załączania tranzystora, wydając polecenie

```
OscRecord=oscreadtbs('nazwa_pliku.csv');
```

5. Dla ułatwienia przetwarzania wyników, utwórz 2 zmienne i przypisz im indeksy zarejestrowanych przebiegów napięcia dren-źródło  $u_{DS}$  i prądu drenu  $i_D$ , wydając polecenia:

```
iUds=oscwfmidx(OscRecord,'ozn_kanału_uds')
iId=oscwfmidx(OscRecord,'ozn_kanału_id')
```

Parametry *ozn\_kanału\_uds* i *ozn\_kanału\_id* to oznaczenia kanałów oscyloskopu, na których mierzone były przebiegi  $u_{DS}$  i  $i_D$ . Jeżeli sondy podłączono zgodnie z instrukcją (pkt. 3.3/5 i 15), to były to odpowiednio kanały 2 i 4, które wykorzystany oscyloskop oznacza jako *CH2* i *CH4*. W razie wątpliwości, wszystkie przebiegi zawarte w odczytanym pliku można wykreślić poleceniem `oscplotscreen(OscRecord)`; w oparciu o ich kształty i legendę wykresu można ustalić znaczenie oraz oznaczenie każdego z nich.

6. Wczytaj plik *out\_irf540n\_20a\_80v.csv* zawierający dane wyjściowej charakterystyki statycznej badanego tranzystora, wydając polecenie:

```
TrcRecordOut=trcreadcsv('out_irf540n_20a_80v.csv');
```

7. Uzyskaj wykres trajektorii punktu pracy tranzystora ( $u_{DS}$ ;  $i_D$ ) na tle charakterystyk wyjściowych  $I_D = f(U_{DS})$ , wraz z wykresem odpowiadającej tej trajektorii mocy strat w obwodzie drenu  $p_D = u_{DS} \cdot i_D = f(u_{DS})$ :

```
[axtrj, axpwr]=plot3p_outtrjpwr(OscRecord,iUds,iId,TrcRecordOut);
```

W zmiennych *axtrj* i *axpwr* zostaną zachowane uchwyty do poszczególnych podwykresów, co umożliwi późniejsze dodanie prostej pracy.

8. Na podstawie znanych parametrów układu doświadczalnego (zob. pkt. 3.3/3 i 3.3/4), oblicz parametry teoretycznej prostej pracy dla obciążenia rezystancyjnego (zob. rys. 4c): współrzędną punktu przecięcia z osią prądu  $I_{D0}$  i punktu przecięcia z osią napięcia  $U_{DS0}$ .
9. Dodaj prostą pracy na podwykres trajektorii punktu pracy – wykreśl prostą między punktami  $(0; I_{D0})$  i  $(U_{DS0}; 0)$  wydając polecenie

```
plot(axtrj,[0 UDS0],[ID0 0])
```

w którym za *UDS0* i *ID0* należy podstawić wartości obliczone w pkt. 8.

10. Stwierdź, czy końce prostej pracy odpowiadają obliczonym punktom przecięcia oraz czy pokrywają się one w przybliżeniu ze skrajnymi punktami trajektorii punktu pracy. W przeciwnym razie ustal i wyeliminuj źródło rozbieżności (np. nieprawidłowo wydane polecenie, niezgodne z rzeczywistością wartości liczbowe, błędne obliczenia, nieprawidłowe ustawienia skali oscyloskopu).
11. W dowolnym programie podpisz na wykresie widoczne zakresy pracy tranzystora (zob. rys. 4).
12. Uzyskany wykres wklej w odpowiednim miejscu w części 5 sprawozdania.
13. Powtórz pkt. 4-12 dla stanu wyłączenia, jednak tym razem pomijając pkt 8.

### **Analiza wyników**

14. Wypełnij część 5 sprawozdania.





## 5. Wymagana wiedza

---

### 5.1. Przygotowanie do wykonania ćwiczenia

- Końcówki i obwody tranzystora MOSFET mocy (par. 2.2)
- Zasada sterowania napięciowo-ładunkowego, warunki załączenia (par. 2.2)
- Przebiegi napięć i prądów podczas przełączania tranzystora MOSFET z obciążeniem rezystancyjnym (par. 2.4)

### 5.2. Zakres kolokwium

1. Definicja i funkcja łącznika. Stany statyczne i dynamiczne. Łącznik idealny i rzeczywisty oraz ich podstawowe parametry. Wielkości fizyczne stanowiące wymuszenie i odpowiedź z punktu widzenia łącznika w różnych statycznych stanach pracy. (instrukcja 0, par. 4.1 i 4.2)
2. Zasada sterowania napięciowo-ładunkowego: napięciowy i ładunkowy warunek załączenia, prąd bramki. (par. 2.2)
3. Pojemności pasozytnicze tranzystora VDMOS: lokalizacja na schemacie zastępczym, lokalizacja w strukturze półprzewodnikowej, interpretacja fizyczna (bez wzorów i szczegółów zjawisk fizycznych), zależność od napięcia  $U_{DS}$  (graficznie, bez wzorów). (par. 2.3)
4. Przebiegi napięć i prądu podczas przełączania tranzystora VDMOS z obciążeniem rezystancyjnym. Wartości ustalone i ich związek z parametrami obwodu. Trajektoria punktu pracy na płaszczyźnie statycznych charakterystyk wyjściowych. Stany pracy i zakresy pracy na statycznych charakterystykach wyjściowych i przebiegach czasowych. Wpływ pojemności pasozytniczych: model RC obwodu sterowania, zastępcza pojemność wejściowa w każdym etapie załączania (wzory). (par. 2.4, 2.5, sprawozdanie)
5. Moc strat w obwodzie drenu w zależności od punktu pracy. Wpływ indukcyjności pasozytniczych na przebiegi napięcia i prądu głównego, trajektorie punktu pracy i

moc strat przy pracy z rzeczywistym obciążeniem rezystancyjnym.  
(par. 2.5, sprawozdanie)

## 6. Literatura

---

- [1] Napieralski A., Napieralska M.: *Polowe półprzewodnikowe przyrządy dużej mocy*. Warszawa: Wydawnictwa Naukowo-Techniczne, 1995.
- [2] Benda V., Gowar J., Grant D. A.: *Power Semiconductor Devices: Theory and Applications*. Chichester: John Wiley & Sons, 1999.