



PRZEKSZTAŁTNIKI ELEKTRONICZNE

Ćwiczenie B1p

Sterowanie tranzystorów polowych – projekt

Opracowanie ćwiczenia i instrukcji:
Łukasz Starzak

Łódź 2012

Spis treści

B Wprowadzenie do ćwiczenia	5
1. Cel i przebieg ćwiczenia.....	5
2. Projektowanie obwodu sterowania bramkowego.....	7
2.1. Warunki przełączenia związane ze sterowaniem napięciowym	7
2.1.a. Napięcie progowe	7
2.1.b. Wpływ natężenia prądu przewodzenia	8
2.1.c. Wpływ rezystancji w stanie załączenia	10
2.1.d. Wpływ temperatury	11
2.2. Warunki przełączenia związane ze sterowaniem ładunkowym.....	13
2.2.a. Załączający ładunek bramki	13
2.2.b. Ładunek bramki a pojemności tranzystora	13
2.2.c. Charakterystyka ładunku bramki.....	14
2.2.d. Ładunek załączający na charakterystyce ładunku bramki.....	16
2.3. Zastosowania charakterystyki ładunku bramki	17
2.3.a. Atak prądowy a przełączanie z obciążeniem rezystancyjnym	17
2.3.b. Elementy obwodu sterowania.....	17
2.3.c. Szybkość załączania	18
2.3.d. Opóźnienie załączania.....	19
2.3.e. Wyłączanie	20
2.4. Rzeczywiste układy sterowania	22
2.4.a. Rzeczywiste źródła impulsów bramkowych	22
2.4.b. Parametry źródeł rzeczywistych	22
2.4.c. Przykładowy sterownik bramki.....	23
2.5. Dalsze zastosowania ładunku bramki	26
2.5.a. Obciążenie źródła.....	26
2.5.b. Pobór mocy przez obwód sterowania	26
2.5.c. Moc strat w elementach obwodu sterowania.....	27
C Doświadczenie	29
3. Projekt	29
Rozważany układ i założenia projektowe.....	29
Przebieg projektowania	30
E Informacje	31
4. Literatura	31

B

Wprowadzenie do ćwiczenia

1. Cel i przebieg ćwiczenia

Celem ćwiczeń B1 i B11 jest praktyczne zapoznanie z zagadnieniem sterowania polowych przyrządów półprzewodnikowych mocy, na przykładzie tranzystora MOSFET. Wszelkie przeanalizowane zostaną kryteria doboru parametrów obwodu bramki. Przy okazji zostanie przedstawione jedno z rozwiązań generatora bramkowego, wykorzystujące dedykowany sterownik bramki. Ćwiczenie B1 obejmuje projekt (obliczenia) obwodu bramki, zaś ćwiczenie B11 – konstrukcję tego obwodu zgodnie z wynikami projektu.

2. Projektowanie obwodu sterowania bramkowego

2.1. Warunki przełączenia związane ze sterowaniem napięciowym

2.1.a. Napięcie progowe

Tranzystory MOSFET mocy są przyrządami o sterowaniu napięciowo-ładunkowym [1]. Do przełączenia przyrządu konieczne jest bowiem łączne spełnienie dwóch warunków. Pierwszy z nich omówimy w tym podrozdziale.

Pierwszy warunek poprawnego przełączania związany jest z mechanizmem napięciowym i dotyczy przekroczenia napięcia progowego bramka-źródło. W celu załączenia tranzystora należy przede wszystkim zapewnić

$$U_{GS(on)} > U_{GS(th)} \quad (2.1)$$

zaś w celu wyłączenia

$$U_{GS(off)} < U_{GS(th)} \quad (2.2)$$

Powyższe warunki muszą być spełnione ciągle, przez cały czas odpowiednio załączenia lub wyłączenia tranzystora. W praktyce należy zwrócić uwagę na zapewnienie odpowiedniego **marginusu bezpieczeństwa**. Niestabilność sterującego źródła napięcia u_g lub zaburzenia rozchodzące się w obwodzie (w układach elektronicznych mocy zwykle bardzo wyraźne) mogą bowiem powodować chwilowe wzrosty lub zapady napięcia u_{GS} .

Napięcie progowe należy w katalogach do grupy charakterystycznych parametrów elektrycznych. Z reguły podaje się jego wartość minimalną $U_{GS(th)min}$ i maksymalną $U_{GS(th)max}$ wynikające z rozrzutu parametrów. Aby dowolny tranzystor został na pewno załączony, należy oczywiście zapewnić napięcie U_{GS} większe od **każdego napięcia z przedziału minimum-maksimum**. Osiągniemy to, gdy $U_{GS(on)} > U_{GS(th)max}$.

Z kolei dla pewnego wyłączenia niezbędne jest napięcie U_{GS} mniejsze od każdego napięcia z przedziału minimum-maksimum, czyli mniejsze od wartości minimum. Oczywiście osiągniemy to, gdy $U_{GS(off)} < U_{GS(th)min}$. W praktyce zwykle najprostszym w realizacji i akceptowalnym rozwiązaniem jest $U_{GS(off)} = 0$ – jak w analizowanym wcześniej przykładzie.

Niemniej zastosowanie **ujemnego napięcia** $U_{GS(off)}$ jest również możliwe. Umożliwia ono przyspieszenie procesu przez wymuszenie większej różnicy napięć $U_{GS(on)} - U_{GS(off)}$, a także – co istotniejsze – zwiększenie odporności na zaburzenia. Wszelkie chwilowe wzrosty napięć będą się bowiem dodawać do ujemnego poziomu $U_{GS(off)}$, dzięki czemu musiałyby osiągnąć większą amplitudę, by przekroczyć napięcie progowe $U_{GS(th)}$.

Tlenek bramki posiada ograniczoną **wytrzymałość napięciową**. Nadmierne natężenie pola elektrycznego w tlenku

$$E_{\text{ox}} = \frac{U_{\text{GS}}}{t_{\text{ox}}} \quad (2.3)$$

spowoduje jego przebicie. Grubość tlenku nie może być zbyt duża, gdyż zgodnie z zależnościami (2.4), (2.5) i (2.8) ograniczyłyby to prąd drenu. Dla typowych obecnie wartości t_{ox} , maksymalne dopuszczalne napięcie $U_{\text{GS(max)}}$ zawiera się w granicach 10–30 V. Wytrzymałość na napięcia ujemne $U_{\text{SG(max)}}$ jest identyczna.

2.1.b. Wpływ natężenia prądu przewodzenia

Jak wynika ze statycznej charakterystyki wyjściowej tranzystora MOSFET, przypomnianej na rys. 1c, napięcie progowe $U_{\text{GS(th)}}$ wystarcza do wytworzenia warstwy inwersyjnej pod bramką, nie pozwala jednak na przewodzenie prądów o istotnym natężeniu. W celu zyskania tej możliwości, należy **zmniejszyć rezystancję kanału** – aby przy danym napięciu U_{DS} przez przyrząd popłynął większy prąd.

Zgodnie z zasadą przewodnictwa unipolarnego, rezystancja ta wynika z koncentracji elektronów w warstwie inwersyjnej. Jest ona oczywiście tym większa, im większe napięcie bramka-podłoże. Można to tłumaczyć mocniejszym zagięciem poziomu Fermiego lub indukcją większego ładunku ujemnego po drugiej stronie izolatora (w stosunku do bramki), czyli w podłożu.

Ilościowo i makroskopowo opisuje to równanie tranzystora MOSFET dla stanu nasycenia:

$$I_{\text{D}} = \frac{z}{l} \frac{\mu_{\text{n(eff)}} C_{\text{ox}}}{2\alpha} (U_{\text{GS}} - U_{\text{GS(th)}})^2 \quad (2.4)$$

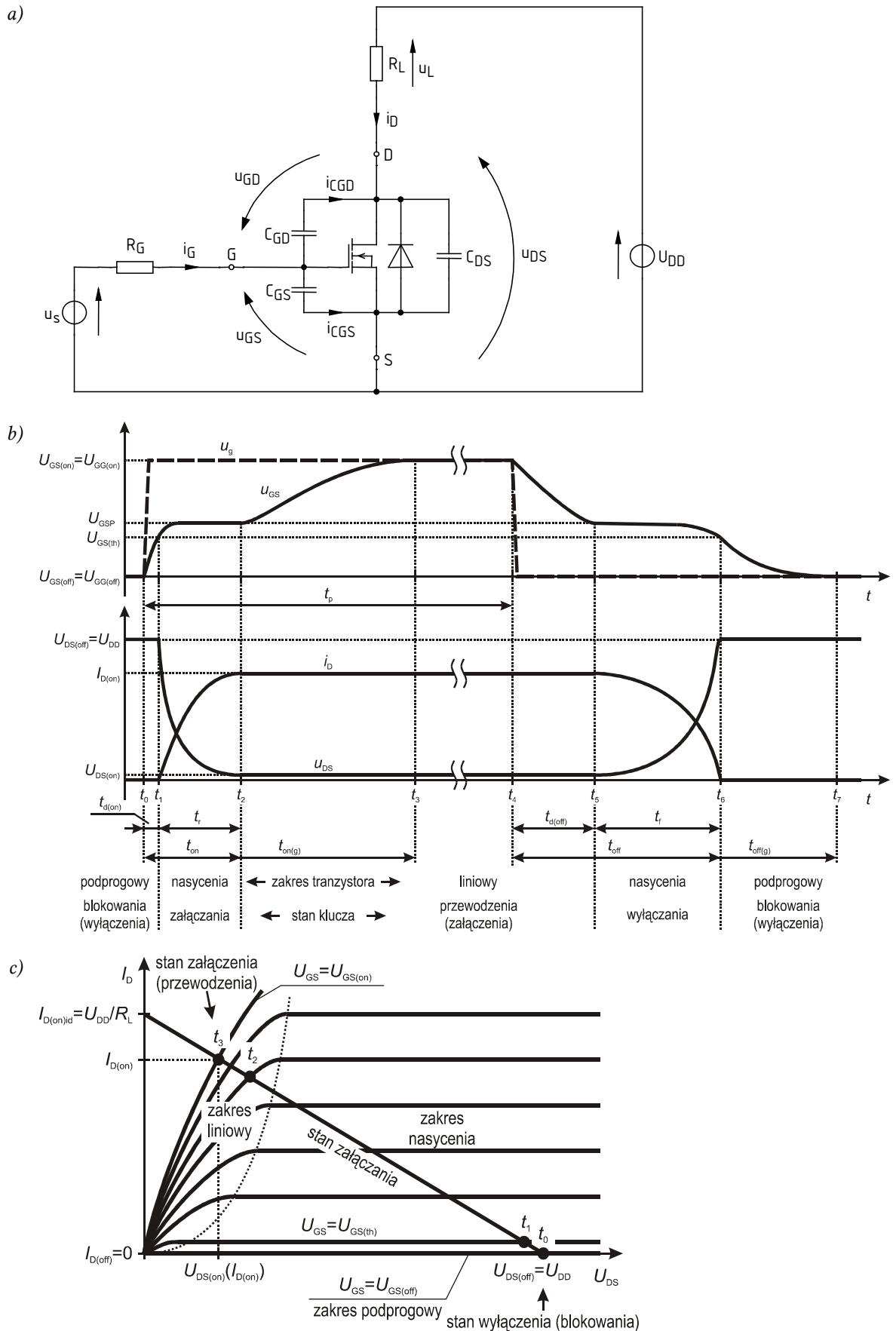
gdzie z – sumaryczna szerokość kanałów poszczególnych komórek tranzystora, l – długość kanału, $\mu_{\text{n(eff)}}$ – średnia ruchliwość elektronów w kanale, α – współczynnik wynikający z własności podłoża (równy 1 dla tranzystorów sygnałowych, rzędu kilku dla tranzystorów mocy), zaś C_{ox} – pojemność układu MOS (bramka-tlenek-półprzewodnik) na jednostkę powierzchni kanału

$$C_{\text{ox}} = \frac{\epsilon_{\text{ox}}}{t_{\text{ox}}} \quad (2.5)$$

Typową charakterystykę $I_{\text{D}} = f(U_{\text{GS}})$, tj. przejściową, dla konkretnego tranzystora MOSFET mocy przedstawia rys. 2a.

Należy wiedzieć, że tradycyjnie w katalogach charakterystyka przejściowa jest podawana dla stanu nasycenia (a nie liniowego lub obu). W stanie nasycenia prąd tranzystora jest maksymalny dla danego napięcia U_{GS} . Dlatego też charakterystyka przejściowa stanu nasycenia pozwala stwierdzić, jakie minimalne napięcie U_{GS} jest potrzebne, aby prąd drenu mógł osiągnąć określoną wartość.

Przykładowo, z rys. 2a można odczytać, że do przewodzenia prądu $I_{\text{D(on)}} = 40$ A konieczne jest zapewnienie $U_{\text{GS}} \geq 4,6$ V (punkt A). Jest to więcej niż deklarowane w karcie katalogowej maksymalne napięcie progowe $U_{\text{GS(th)max}}$, wynoszące 4,0 V. Gdyby poprzestać na tej ostatniej wartości napięcia, **tranzystor nie załączyłby się w pełni**. Jak wynika z charakterystyki, przewodziłby on prąd o natężeniu ok. 20 A. Znajdowałby się więc mniej więcej pośrodku zakresu nasycenia (patrz rys. 1c), a spadek napięcia dren-źródło wynosiłby około połowy napięcia zasilania. Byłby to stan wadliwy z punktu widzenia pracy w roli klucza półprzewodnikowego.



Rys. 1. Tranzystor VDMOS w układzie klucza dolnego z obciążeniem rezystancyjnym: a) schemat elektryczny; b) przebiegi podczas przełączania; c) prosta pracy na tle statycznych charakterystyk wyjściowych (wykres bez zachowania skali czasu i U_{GS} – w rzeczywistości, zgodnie z rys. b, punkty t_0 i t_1 oraz t_2 i t_3 niemal się pokrywają)

2.1.c. Wpływ rezystancji w stanie załączenia

Od klucza półprzewodnikowego wymaga się bliskości do klucza idealnego, a więc rezystancji w stanie załączenia $R_{DS(on)} \approx 0$. Jak wynika z przebiegu charakterystyk wyjściowych (rys. 1c), napięcie dren-źródło (czyli równoważnie rezystancja dren-źródło) jest najmniejsze w zakresie liniowym.

W rzeczywistym obwodzie punkt pracy nie może poruszać się dowolnie w funkcji napięć U_{GS} i U_{DS} . Jego położeniem rządzi bowiem prawo Kirchhoffa

$$U_{DS} = U_{DD} - I_D R_L \quad (6)$$

wymuszające ruch wyłącznie po prostej pracy. Jak widać, ruch po prostej pracy w górę – zwiększanie napięcia U_{GS} w celu osiągnięcia wymaganego prądu $I_{D(on)}$, oznacza jednoczesny ruch w lewo – a więc w stronę zakresu liniowego. Jest to niewątpliwie korzystne. Biorąc pod uwagę niską rezystancję w stanie załączenia, napięcie $U_{GS(on)}$ powinno mieć na tyle wysoką wartość, aby **tranzystor pracował w zakresie liniowym**.

Powyższe wymaga dalszego zwiększenia napięcia $U_{GS(on)}$ powyżej napięcia progowego, gdyż wejście w zakres liniowy warunkowane jest spełnieniem nierówności

$$U_{GS} - U_{GS(th)} > \alpha U_{ch} \quad (2.7)$$

gdzie U_{ch} – część napięcia U_{DS} odłożona na kanale. W stanie liniowym powyższe wielkości łączy z prądem równanie

$$I_D = \frac{z}{l} \mu_{n(eff)} C_{ox} \left[(U_{GS} - U_{GS(th)}) U_{ch} - \alpha \frac{U_{ch}^2}{2} \right] \quad (2.8)$$

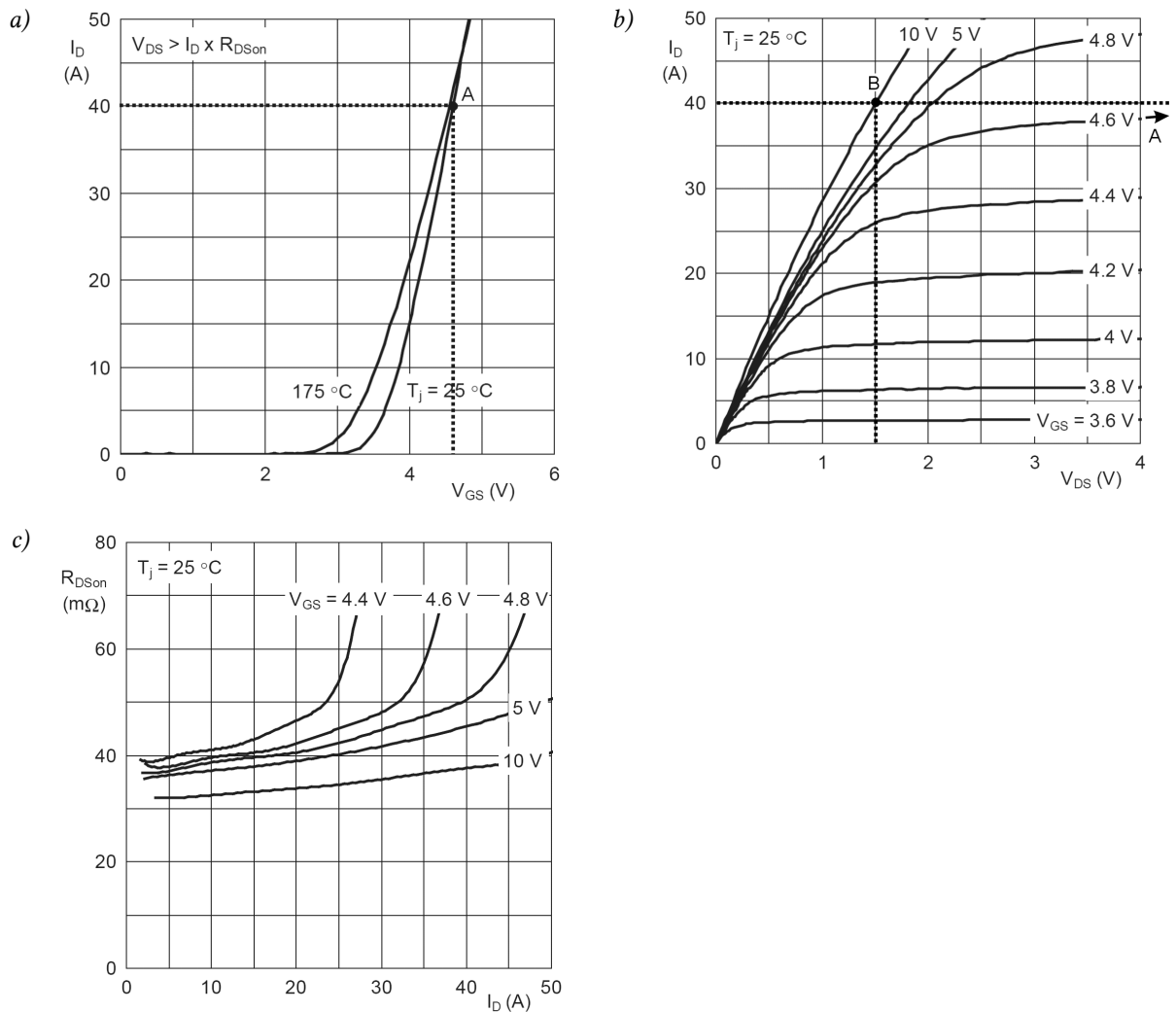
Zależność ta jest złożona, zaś współczynnik α nieznany, dlatego w celu osiągnięcia pracy w zakresie liniowym stosuje się metodę graficzną opartą o statyczną charakterystykę wyjściową.

Odwołajmy się na powrót do rozważanego przykładu konkretnego tranzystora i prądu 40 A. Z charakterystyki wyjściowej przedstawionej na rys. 2b wynika, że ustalone w paragrafie 2.1.b napięcie $U_{GS} = 4,6$ V zapewne istotnie pozwala na osiągnięcie prądu 40 A (tranzystor wykazuje tu jeszcze niewielki wzrost I_D wraz z U_{DS}). Jednak będzie to miało miejsce przy napięciu U_{DS} większym od 4 V (punkt A znajdujący się poza widocznym zakresem). Jest to dużo więcej niż 1,5 V, które – jak wynika z charakterystyki wyjściowej – można uzyskać przy prądzie 40 A, jeżeli tylko zapewni się $U_{GS(on)} = 10$ V (punkt B).

Po wejściu w stan liniowy **prąd drenu nie rośnie już znacząco** ze wzrostem napięcia bramka-źródło. Dlatego jego zwiększanie aż do granicy określonej przez wytrzymałość tlenku bramki na przebicie zwykle nie ma sensu. Napięcie U_{GS} warto zwiększać, dopóki z charakterystyki wyjściowej wynika zauważalny spadek (większy niż 10–20%) napięcia U_{DS} przy danym prądzie przewodzenia I_D . W układach elektroniki mocy prąd przewodzenia zawsze znamy z góry (lub umiemy policzyć przyjmując przybliżenie kluczy idealnych), gdyż to on stanowi wymuszenie w obwodzie mocy.

W praktyce wartość $U_{GS(on)}$ często wynika z dostępnego w konkretnym układzie **napięcia zasilania logiki sterującej** (układów cyfrowych wchodzących w skład bloku sterowania). Napięcie to narzucone jest w dużej mierze przez układy scalone i przyjmuje najczęściej wartość ze zbioru {5; 10; 12; 15; 18} V. Jak widać, największa z tych wartości nie przekracza typowej wytrzymałości tlenku bramki.

Natomiast najmniejsza z powyższych wartości może nie wystarczyć do pełnego załączenia tranzystora i uzyskania niskiej rezystancji dren-źródło. Należy wówczas użyć tranzystora o obniżonym napięciu progowym lub podwyższyć napięcie zasilania części logicznej. Jeżeli to ostatnie nie jest możliwe ze względu na ograniczenia układów scalonych, należy zasilić obwód bramki z dodatkowego źródła napięcia o wartości optymalnej z punktu widzenia tranzystora.



Rys. 2. Katalogowe charakterystyki statyczne tranzystora MOSFET mocy (typu rowkowego) PHP45NQ15T: a) przejściowa stanu nasycenia; b) wyjściowa; c) zależność rezystancji dren-źródła od prądu drenu i amplitudy napięcia sterującego

2.1.d. Wpływ temperatury

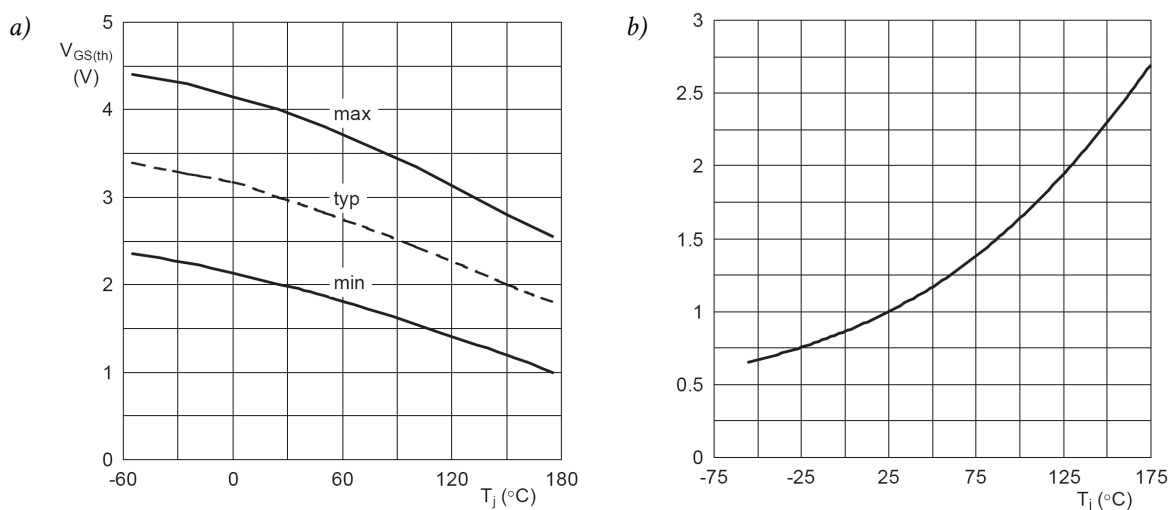
W projektowaniu układów elektronicznych zawsze istotne jest uwzględnienie wpływu temperatury na działanie przede wszystkim przyrządów półprzewodnikowych, ale często i innych elementów. Tym bardziej dotyczy to układów mocy, w których znaczące prądy i napięcia powodują powstanie znaczących strat mocy, zarówno statycznych, jak i dynamicznych. Wynikający stąd wzrost temperatury może doprowadzić do niepoprawnej pracy układu, o ile inżynier wcześniej nie weźmie go pod uwagę.

Wzrost temperatury powoduje **obniżenie napięcia progowego** struktury MOS, co wynika głównie z przesunięcia poziomu Fermiego (rys. 3a). Widać to na rys. 2a – w temperaturze 175°C możliwe staje się uzyskanie tego samego prądu (np. 10 A) przy mniejszym napięciu U_{GS} . Tranzystorowi po podgrzaniu nie grozi więc niepożądane wyłączenie lub niepełne załączenie.

Wpływ powyższy nie musi być jednak zawsze korzystny, gdyż jednocześnie obniża się minimalne napięcie $U_{GS(off)}$, co – zgodnie z nierównością (2.2) – rodzi ryzyko niepożądanego *załączenia* tranzystora. Należy też zwrócić uwagę, czy nie jest możliwa praca układu w temperaturach poniżej pokojowej – wówczas napięcie progowe ulegnie zwiększeniu. Oczywiście wartości $U_{GS(on)}$ i $U_{GS(off)}$ muszą zapewniać poprawne przełączanie tranzystora w całym przewidywanym zakresie temperatur roboczych (tj. występujących podczas jego pracy).

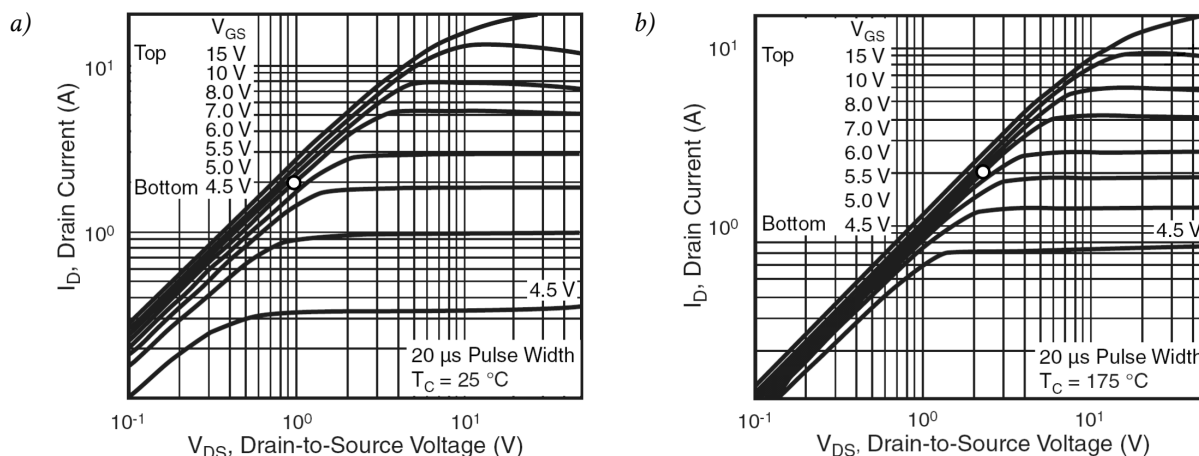
W zakresie silnych prądów wpływ temperatury na charakterystykę przejściową może ulec odwróceniu. Wynika to ze **zmniejszenia ruchliwości nośników w kanale**. Na charakterystyce z

rys. 2a efekt ten jest widoczny w postaci przecięcia krzywych dla niskiej i wysokiej temperatury przy prądzie nieco powyżej 45 A. Z kolei rys. 4 przedstawia wpływ na charakterystykę wyjściową. Przykładowo krzywa dla $U_{GS} = 4,5$ V (pierwsza od dołu) po zwiększeniu temperatury wykazuje większy prąd w stanie nasycenia (0,7 A na rys. b w miejsce 0,3 A na rys. a). Jednak krzywa dla $U_{GS} = 8$ V (trzecia od góry) wykazuje prąd mniejszy (6 A w miejsce 8 A).



Rys. 3. Wpływ temperatury struktury półprzewodnikowej T_j na parametry istotne dla doboru amplitudy napięcia bramka-źródło (charakterystyki katalogowe tranzystora PHP45NQ15T): a) napięcie progowe $U_{GS(th)}$; b) rezystancja $R_{DS(on)}$ znormalizowana względem wartości w 25 °C:
 $R_{DS(on)norm}(T_j) = R_{DS(on)}(T_j)/R_{DS(on)}(25\text{ °C})$

Rezystancja dren-źródło rośnie ze wzrostem temperatury (rys. 3b). W wyniku jednoczesnego wzrostu $R_{DS(on)}$ i spadku $U_{GS(th)}$, gałęzie charakterystyki wyjściowej jednocześnie obniżają się w zakresie nasycenia i zmniejszają nachylenie (do osi U_{DS}) w zakresie liniowym (przy skali liniowej, czemu w skali logarytmicznej odpowiada przesunięcie w prawo). Widać to na rys. 4.



Rys. 4. Wpływ temperatury na statyczną charakterystykę wyjściową tranzystora IRF510 (skala logarytmiczna, kolejne gałęzie odpowiadają wartościom U_{GS} podanym w lewym górnym rogu): a) charakterystyka w temperaturze 25 °C; b) charakterystyka w temperaturze 175 °C. Na obu wykresach zaznaczono kółkiem punkt pracy dla $U_{GS} = 7$ V, $I_D = 2$ A.

Jeżeli wzrost napięcia U_{DS} przybiera nieakceptowalne rozmiary, konieczne może się okazać podwyższenie napięcia $U_{GS(on)}$ w celu zmniejszenia rezystancji. Nie zawsze jest to jednak możliwe. Przykładowo punkt pracy zaznaczony na rys. 4b nie przesunie się już znacząco w lewo nawet po dwukrotnym zwiększeniu napięcia U_{GS} do 15 V. Wpływ wzrostu rezystancji dren-źródło jest na tyle znaczący, że nie może być skompensowany przez napięcie bramka-źródło.

2.2. Warunki przełączenia związane ze sterowaniem ładunkowym

2.2.a. Załączający ładunek bramki

Zgodnie z zasadą sterowania ładunkowego oraz powyższymi rozważaniami, do załączenia przyrządu konieczne jest dostarczenie określonego ładunku w celu przeładowania pojemności struktury. Ładunek, jaki musi być dostarczony do bramki tranzystora w celu jego załączenia przy danym prądzie przewodzenia nazywa się **załączającym ładunkiem bramki** $Q_{G(on)}$ (ang. *gate turn-on charge*).

Nierówności

$$\Delta q_G(t_{on}) > Q_{G(on)} \quad (2.9)$$

dla załączania oraz

$$-\Delta q_G(t_{off}) > \Delta q_G(t_{on}) - Q_{G(on)} \quad (2.10)$$

dla wyłączenia, opisują **drugi warunek poprawnego przełączenia** tranzystora, związany z ładunkowym mechanizmem sterowania. [Przypomnijmy, że pierwszy warunek – związany z napięciowym mechanizmem sterowania – opisują nierówności (2.1) i (2.2) sformułowane w paragrafie 2.1.a.]

Powyższe nierówności mówią, że:

- 1° w celu załączenia polowego tranzystora mocy, do jego bramki należy dostarczyć co najmniej ładunek równy załączającemu ładunkowi bramki $Q_{G(on)}$ (w danych warunkach $I_{D(on)}$, $U_{DS(off)}$);
- 2° w celu wyłączenia polowego tranzystora mocy, z jego bramki należy odprowadzić co najmniej nadwyżkę ładunku doprowadzonego przy załączeniu $\Delta q_G(t_{on})$ ponad załączający ładunek bramki $Q_{G(on)}$.

2.2.b. Ładunek bramki a pojemności tranzystora

Przypomnijmy, w jaki sposób pojemność wejściowa C_{in} zmienia się w trakcie procesu załączania. Można ją zawsze przedstawić jako kombinację pojemności C_{GS} i C_{GD} (por. rys. 5):

- 1) w etapie 1, do osiągnięcia przez napięcie u_{GS} wartości progowej $U_{GS(th)}$ (przedział t_0-t_1 , rys. 1b)

$$C_{in} = C_{GS} + C_{GD} \Big|_{U_{DS}=U_{DD}} \quad (2.11)$$

- 2) w etapie 2, podczas narastania prądu od zera do pełnego obciążenia $I_{D(on)}$ (przedział t_1-t_2)

$$C_{in} = C_{GS} + C_{GD}(1 + g_{fs}R_L) = C_{GS} + C_{GD}(1 - g_u) \quad (2.12)$$

gdzie g_{fs} jest transkonduktancją tranzystora

$$g_{fs} = \frac{\Delta i_D}{\Delta u_{GS}} \quad (2.13)$$

zaś g_u – jego wzmocnieniem napięciowym

$$g_u = \frac{du_{DS}}{du_{GS}} \quad (2.14)$$

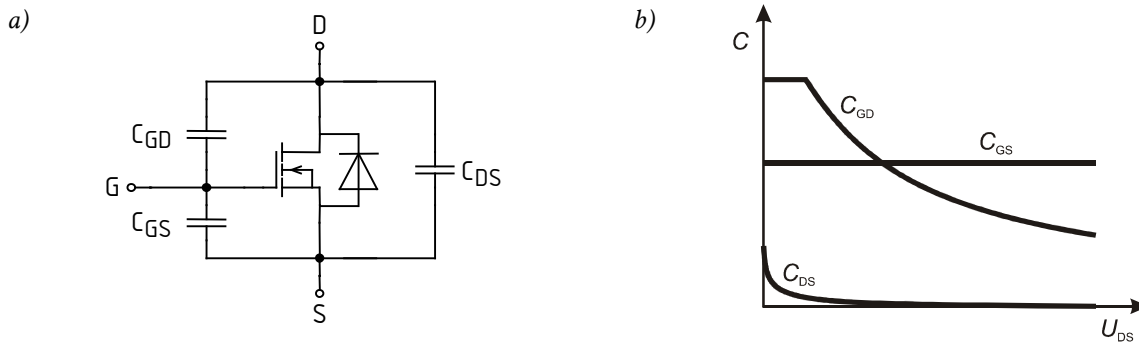
- 3) w etapie 3, kiedy tranzystor jest już załączony (zakres liniowy), ale napięcie u_{GS} narasta do wartości $U_{GS(on)}$ (przedział t_2-t_3)

$$C_{in} = C_{GS} + C_{GD}|_{U_{DS(on)}} \quad (2.15)$$

Z powyższego płynie niezwykle istotny wniosek. **Pojemność wejściowa** tranzystora polowego mocy w trakcie jego przełączania **zmienia się** i przez większość czasu jest **dużo większa od katalogowej pojemności wejściowej** C_{iss} [1]. Skoro tak, to żadna stała wartość pojemności – a w szczególności katalogowy parametr C_{iss} – nie może służyć do obliczenia załączającego ładunku bramki ze wzoru

$$Q_G = C_G U_{GS} \quad (2.16)$$

przez proste podstawienie $C_G = C_{iss}$. Obliczony ładunek byłby bowiem znacznie zaniżony, co rodzi ryzyko niespełnienia warunku (2.9) – a więc niezaczenia lub niepełnego załączenia tranzystora.



Rys. 5. Pojemności tranzystora MOSFET o konstrukcji VDMOS: a) wielkosygnałowy schemat zastępczy tranzystora; b) typowe zależności od napięcia U_{DS}

2.2.c. Charakterystyka ładunku bramki

Skoro niemożliwe jest opisanie warunków załączania za pomocą parametrów pojemnościowych, załączający ładunek bramki musi być podany w formie bezpośredniej. Służy temu zamieszczana w karcie katalogowej **charakterystyka ładunku bramki** (ang. *gate charge characteristic*, rys. 6). Podaje ona, w jaki sposób narasta chwilowe napięcie bramka-źródło u_{GS} w miarę dostarczania ładunku q_G do bramki podczas załączania tranzystora.

Charakterystyka ta jest wyznaczana w drodze testu nazywanego **atakami prądowym** [2]. Ogólnie rzecz ujmując, polega on na doprowadzeniu do załączenia tranzystora i rejestracji przebiegu napięcia u_{GS} w specjalnym układzie pomiarowym, dzięki któremu:

- 1° prąd ładowania bramki I_G jest stały przez cały czas załączania – dzięki czemu ładunek jest proporcjonalny do czasu zgodnie z zależnością

$$\Delta q_G(\Delta t) = \int_{\Delta t} i_G dt = \int_{\Delta t} I_G dt = I_G \int_{\Delta t} dt = I_G \Delta t \quad (2.17)$$

a więc oś czasu można bezpośrednio przeskalować na kulomby;

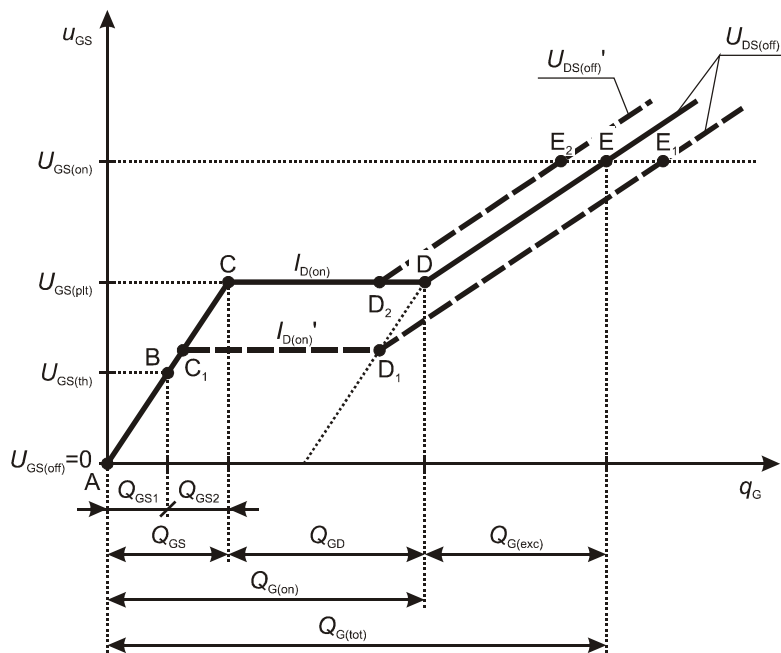
- 2° w przebiegu załączania można wyróżnić trzy odcinki takie, że pojemność wejściową C_{in} w każdym z nich można uznać za zależną w prosty sposób od pojemności schematu zastępczego C_{GS} i C_{GD} , a przyjmując, że są one odcinkami stałe, narastanie napięcia u_{GS} jest liniowe zgodnie z równaniem kondensatora

$$i_G = C_{in} \frac{du_{GS}}{dt} \quad (2.18)$$

z którego otrzymujemy

$$\frac{du_{GS}}{dt} = \frac{I_G}{C_{in}} = \text{const} \quad (2.19)$$

Przeanalizujemy podstawową gałąź charakterystyki ładowania bramki, zaznaczoną na rys. 6 linią ciągłą. Odpowiada ona załączaniu tranzystora do pewnego prądu przewodzenia $I_{D(on)}$ od pewnego napięcia blokowania $U_{DS(off)}$. Załóżmy dla ustalenia uwagi, że amplituda napięcia sterującego ma pewną wartość $U_{GS(on)}$ zaznaczoną na wykresie. W związku z tym załączanie (w odniesieniu do obwodu bramki) zakończy się w punkcie E, a do bramki zostanie dostarczony całkowity ładunek $Q_{G(tot)}$.



Rys. 6. Charakterystyka ładowania bramki: $I_{D(on)'} < I_{D(on)}$, $U_{DS(off)'} < U_{DS(off)}$

Ładunek ten posiada 3 składowe wynikające z ładowania poszczególnych pojemności schematu zastępczego w następujący sposób (którego nie będziemy tu uzasadniać – jest on ściśle związany z konstrukcją i działaniem układu pomiarowego służącego do przeprowadzania ataku prądowego).

1. **Ładunek pojemności bramka-źródło** Q_{GS} jest proporcjonalny do czasu, jaki upływa od początku procesu załączania w obwodzie bramki do wypłaszczenia napięcia bramka-źródło – czyli do odcinka A–C. Test ataku prądowego z zasady zaczyna się w momencie, gdy $u_{GS} = 0$. Dlatego w dalszych analizach będziemy dla uproszczenia zawsze przyjmować $U_{GS(off)} = 0$. Ładunek ten posiada dwie składowe.
 - a. **Składowa pierwsza** Q_{GS1} jest proporcjonalna do odcinka czasu od początku procesu w obwodzie bramki do przekroczenia przez napięcie u_{GS} wartości progowej $U_{GS(th)}$ – czyli do odcinka A–B. Zależy więc ona wyłącznie od napięcia progowego $U_{GS(th)}$ (które oczywiście jest stałe dla danego tranzystora).
 - b. **Składowa druga** Q_{GS2} jest proporcjonalna do odcinka czasu od przekroczenia napięcia progowego do osiągnięcia przez prąd i_D wartości pełnego prądu przewodzenia $I_{D(on)}$ – czyli do odcinka B–C. Z działania układu pomiarowego wynika, że odbywa się to przy stałym napięciu

$u_{DS} = U_{DS(off)}$. Wobec tego składowa ta zależy tylko od prądu przewodzenia $I_{D(on)}$.

2. **Ładunek pojemności bramka-dren** Q_{GD} jest proporcjonalny do czasu występowania stałego napięcia u_{GS} , $U_{GS(plt)}$ (ang. *plateau voltage* 'napięcie płaskowyżu') – czyli do odcinka C–D. W tym czasie napięcie u_{DS} opada od wartości $U_{DS(off)}$ do wartości $U_{DS(on)}$. Towarzyszy temu millerowska multiplikacja pojemności C_{GD} na wejście, która powoduje spowolnienie narastania napięcia u_{GS} w takim stopniu, że można je uznać za stałe. Ponieważ $U_{DS(on)} \ll U_{DS(off)}$, ładunek ten zależy praktycznie tylko od napięcia blokowania $U_{DS(off)}$.
3. **Ładunek nadmiarowy** $Q_{G(exc)}$ (ang. *excess gate charge*) jest proporcjonalny do czasu narastania napięcia od wartości $U_{GS(plt)}$ do wartości wymuszonej $U_{GS(on)}$ – czyli do odcinka D–E. Jego wartość zależy więc od różnicy tych napięć. Dostarczany jest on do obu pojemności C_{GS} i C_{GD} .

Suma powyższych ładunków stanowi **całkowity ładunek bramki** $Q_{G(tot)}$. Definiuje się go jako ładunek dostarczony do bramki w czasie trwania procesu załączania, w określonych warunkach (zdefiniowanych przez wartości $U_{DS(on)}$, $U_{DS(off)}$, $U_{GS(on)}$, $U_{GS(off)}$). Przy tym załączanie należy rozumieć w odniesieniu do obwodu bramki (przedział $t_0...t_3$ na rys. 1b) – nie samego tylko obwodu głównego, w którym załączanie trwa krócej (przedział $t_1...t_2$).

2.2.d. Ładunek załączający na charakterystyce ładunku bramki

Przypomnijmy, że tranzystor jako klucz jest w pełni załączony już w chwili t_2 (rys. 1b). Wówczas prąd główny ma już wartość maksymalną $I_{D(on)}$ (wymuszoną zewnątrz), a napięcie główne ma niską wartość ustaloną $U_{DS(on)}$ (wynikającą z wymuszonej wartości prądu głównego). Z zasady działania układu, w którym przeprowadza się test ataku prądowego wynika, że warunki te zostają spełnione w punkcie D. W związku z tym **załączający ładunek bramki** z definicji odpowiada odcinkowi między punktami A i D i stanowi sumę ładunków

$$Q_{G(on)} = Q_{GS} + Q_{GD} \quad (2.20)$$

Tłumaczy to nazwę „nadmiarowy” nadaną trzeciemu ładunkowi, który nie jest niezbędny do załączenia tranzystora. Wynika on z nadmiaru napięcia sterującego (który jest jednak niezbędny ze względów streszczonych w paragrafie 2.1.a).

Charakterystyka ładunku bramki wyznaczana jest dla określonych, **podanych w karcie katalogowej warunków** $I_{D(on)}$ i $U_{DS(off)}$. Jak wynika z przeprowadzonej analizy, przełączający ładunek bramki $Q_{G(on)}$ zależy od tych czynników, natomiast nie zależy od amplitudy napięcia sterującego $U_{GS(on)}$. I tak:

- 1) zmniejszenie **prądu przewodzenia** $I_{D(on)}$ powoduje zmniejszenie ładunku Q_{GS2} , czyli skrócenie odcinka B–C (punkt C_1 na rys. 6). W konsekwencji punkt załączenia tranzystora D przesunie się do punktu D_1 (zmniejszenie ładunku $Q_{G(on)}$). Z kolei punkt zakończenia procesu w obwodzie bramki E przesunie się do punktu E_1 (zwiększenie ładunku $Q_{G(tot)}$). Zależność ta wynika z obniżenia napięcia $U_{GS(plt)}$ zgodnie z zależnością (2.13). Z reguły nie jest ona uwzględniona na charakterystyce, ale znajomość transkonduktancji g_{fs} pozwala na wyznaczenie napięcia $U_{GS(plt)}$ dla prądu innego niż nominalny i wykonanie odpowiedniej konstrukcji graficznej;
- 2) im mniejsze **napięcia blokowania** $U_{DS(off)}$, tym mniejszy ładunek Q_{GD} , czyli krótszy odcinek C–D (punkt D_2 na rys. 6 – zmniejszenie ładunku $Q_{G(on)}$). Punkt C nie zmienia swojego położenia, natomiast w konsekwencji punkt zakończenia całego procesu E przesunę się do punktu E_2 (zmniejszenie ładunku $Q_{G(tot)}$). Charakterystyka ładunku bramki zwykle podaje krzywe dla kilku wartości $U_{DS(off)}$.

2.3. Zastosowania charakterystyki ładunku bramki

2.3.a. Atak prądowy a przełączanie z obciążeniem rezystancyjnym

Jak zaznaczono, charakterystykę ładunku bramki otrzymuje się w wyniku przeprowadzenia testu ataku prądowego z użyciem specjalnego układu pomiarowego. Jego wyniki można jednak w pewnym stopniu skojarzyć z uzyskiwanymi w rzeczywistych układach pracy tranzystorów.

Porównajmy wyniki analizy procesu przełączania tranzystora w konfiguracji klucza dolnego z obciążeniem rezystancyjnym (zobrazowanego na rys. 1), przeprowadzonej w instrukcji [1], z wynikami analizy testu ładunku bramki dokonanej w podrozdziale 2.2. Wnioskujemy, że:

- 1) odcinkowi czasu od t_2 do t_3 (rys. 1b) odpowiada dokładnie ładunek $Q_{G(exc)}$ (rys. 6), gdyż w obu przypadkach chodzi o doładowanie pojemności wejściowej już po załączeniu tranzystora;
- 2) ładunkom Q_{GS} i Q_{GD} nie można przyporządkować konkretnych odcinków na rys. 1b, bowiem w układzie rzeczywistym zarówno w przedziale $t_0...t_1$ (odcinek $t_{d(on)}$), jak i w przedziale $t_1...t_2$ (odcinek t_r) ładunek dostarczany jest do obu pojemności C_{GS} i C_{GD} – podczas gdy na charakterystyce ataku prądowego ładunki związane z tymi pojemnościami są wyraźnie rozdzielone;
- 3) za to cały przedział czasu od t_0 do t_2 (odcinek t_{on}) odpowiada z definicji dokładnie ładunkowi $Q_{G(on)}$, gdyż w obu przypadkach dostarczany jest taki ładunek, jaki jest niezbędny dla pełnego załączenia tranzystora:

$$\Delta q_G(t_{d(on)}) + \Delta q_G(t_r) = \Delta q_G(t_{on}) = Q_{G(on)} \quad (2.21)$$

- 4) oczywiście przedział od t_0 do t_3 (odcinek $t_{on(g)}$) odpowiada dokładnie ładunkowi $Q_{G(tot)}$, gdyż obejmuje on pełen proces załączania aż do ustalenia się między bramką a źródłem wymuszonego napięcia $U_{G(on)}$. Wynika to również z wniosków sformułowanych wyżej, gdyż z jednej strony mamy sumę przedziałów $t_0...t_2$ i $t_2...t_3$, a z drugiej – ładunków $Q_{G(on)}$ i $Q_{G(exc)}$;
- 5) w czasie wyłączania, w odcinku czasu $t_4...t_5$ usuwany jest dokładnie ładunek nadmiarowy $Q_{G(exc)}$, skoro tranzystor w tym czasie pozostaje załączony;
- 6) w chwili t_5 ładunek zgromadzony na bramce równy jest dokładnie ładunkowi załączającemu $Q_{G(on)}$, gdyż od tego momentu tranzystor zaczyna się wyłączać; usuwanie tego ładunku trwa do chwili t_7 , a w procesie tym ładunki Q_{GS} i Q_{GD} nie mogą być rozróżnione;
- 7) oczywiście na całym odcinku od t_4 do t_7 ($t_{off(g)}$) musi być usunięty całkowity ładunek bramki $Q_{G(tot)}$, gdyż napięcie u_{GS} powraca do stanu wyjściowego z chwili t_0 – a więc do stanu wyjściowego (zasadniczo $q \approx 0$) musi również wrócić ładunek zgromadzony na bramce.

2.3.b. Elementy obwodu sterowania

Sformułowane wyżej wnioski pozwolą nam teraz na wyprowadzenie praktycznych zależności przydatnych w projektowaniu obwodu sterowania (bramki). Zasadniczo, po ustaleniu amplitudy impulsów źródła u_g , tj. poziomów $U_{G(on)}$ i $U_{G(off)}$, pozostaje do obliczenia wartość rezystancji bramkowej R_G (rys. 1a).

Niezależnie od złożonych procesów zachodzących w tranzystorze, wartość R_G w każdym etapie załączania lub wyłączania **wchodzi w skład stałej czasowej** ładowania lub rozładowania pojemności wejściowej τ_G określonej wzorem

$$\tau_G = R_G C_{in} \quad (2.22)$$

przy czym przebieg napięcia bramka-źródło określony jest zależnością

$$u_{GS} = U_{GG(on)} \left(1 - e^{-t/\tau_G} \right) \quad (2.23)$$

W związku z tym parametr R_G wywiera decydujący wpływ na szybkość przełączania przyrządu.

Na rezystancję tę składają się w rzeczywistości **cztery elementy fizyczne**:

- 1) rezystancja opornika włączonego szeregowo w obwód – typowo rzędu 10–100 Ω ,
- 2) rezystancja samej bramki (wewnątrz tranzystora) – typowo rzędu kilku omów,
- 3) rezystancja wewnętrzna rzeczywistego źródła napięcia – która może przyjmować bardzo różne wartości w zależności od konkretnego rozwiązania układowego,
- 4) rezystancja pasożytnicza połączeń.

Jakkolwiek ostatni składnik może być zwykle pominięty jako mało znaczący względem pozostałych, często zaniedbana nie może być obecność **pasożytniczej indukcyjności**. Jej niepożądany wpływ na działanie obwodu sterowania jest dwójaki:

- 1° spowalnia narastanie prądu bramki i_G – przez co spowolnieniu ulega dostarczanie ładunku do i odbieranie ładunku z bramki,
- 2° wchodzi w interakcję z pojemnością wejściową C_{in} – powodując powstanie oscylacji, które mogą zakłócić pracę przyrządu (np. niepożądanie go wyłączając lub załączając).

Indukcyjność pasożytnicza minimalizuje się przede wszystkim poprzez skrócenie obwodu i zmniejszenie pola powierzchni obejmowanej przez ścieżkę, którą płynie prąd i_G . Jej wpływ na obwód można ograniczyć przez zwiększenie rezystancji, co jednak spowoduje wydłużenie czasów przełączania tranzystora.

2.3.c. Szybkość załączania

Jak wykazemy, charakterystyka ładunku bramki **wiąże szybkość załączania**, określoną przez czasy $t_{d(on)}$, t_r i t_{on} , **z parametrami tranzystora i obwodu bramki**. Obwód ten opisuje napięciowe prawo Kirchhoffa, przy naszych oznaczeniach przyjmujące postać (zob. rys. 1a)

$$u_g - i_G R_G - u_{GS} = 0 \quad (2.24)$$

stąd prąd

$$i_G = \frac{u_g - u_{GS}}{R_G} \quad (2.25)$$

przy czym jest on jednocześnie równy szybkości dostarczania ładunku do bramki:

$$i_G = \frac{dq_G}{dt} \quad (2.26)$$

Zwykle najistotniejszy jest czas opadania napięcia u_{DS} i narastania prądu i_D , gdyż całka z iloczynu tych wielkości określa dynamiczne straty mocy podczas załączania. Zgodnie z rys. 1b, odbywa się to na odcinku t_1 – t_2 , a więc przez czas narastania t_r .

Przyjmując, że w tym przedziale czasu napięcie u_{GS} jest stałe i równe $U_{GS(plt)}$, również prąd ładowania musi być stały, co wynika ze wzoru (2.25):

$$I_G(t_r) = \frac{U_{GG(on)} - U_{GS(plt)}}{R_G} \quad (2.27)$$

Jeżeli tak, to zależność (2.26) upraszcza się do

$$I_G(t_r) = \frac{dq_G}{dt} = \frac{\Delta q_G}{\Delta t} = \frac{\Delta q_G(t_r)}{t_r} \quad (2.28)$$

Z przeprowadzonej w paragrafie 2.3.a analizy porównawczej wynika, że ładunku $\Delta q_G(t_r)$ nie da się wprost skojarzyć z żadnym z ładunków ataku prądowego. Musimy więc przyjąć jakieś założenie upraszczające.

Całemu odcinkowi t_0-t_2 (rys. 1b) odpowiada dokładnie ładunek $Q_{G(on)}$. Z tego ładunku składnik Q_{GS1} odpowiada ładowaniu pojemności C_{GS} do napięcia progowego. W tej fazie napięcie u_{DS} ma wciąż wysoką wartość ze stanu blokowania, czyli pojemność C_{GD} jest mała (rys. 5b). A więc nie ma większego znaczenia, że w ataku prądowym ładowana jest sama pojemność C_{GS} , zaś w rzeczywistym układzie – obie pojemności C_{GS} i C_{GD} . Ładunek Q_{GS1} odpowiada więc z dobrym przybliżeniem odcinkowi t_0-t_1 . Skoro tak, to reszta ładunku $Q_{G(on)}$ musi odpowiadać reszcie odcinka t_1-t_2 , czyli odcinkowi t_r :

$$\Delta q(t_r) = \Delta q(\Delta t_{02}) - \Delta q(\Delta t_{01}) = Q_{G(on)} - Q_{GS1} = Q_{GS2} + Q_{GD} \quad (2.29)$$

Uwzględniając powyższe i podstawiając (2.27) do (2.28) otrzymujemy ostatecznie

$$I_G(t_r) = \frac{Q_{GS2} + Q_{GD}}{t_r} \quad (2.30)$$

$$t_r = \frac{Q_{GS2} + Q_{GD}}{I_G(t_r)} = \frac{R_G(Q_{GS2} + Q_{GD})}{U_{GG(on)} - U_{GS(plt)}} \quad (2.31)$$

Jeżeli składowe ładunku Q_{GS} nie są znane, projektantowi nie pozostaje nic innego, jak zawyżyć ładunek i przyjąć $\Delta q(t_r) \approx Q_{G(on)}$. Wówczas

$$t_r \approx \frac{R_G Q_{G(on)}}{U_{GG(on)} - U_{GS(plt)}} \quad (2.32)$$

2.3.d. Opóźnienie załączania

W niektórych aplikacjach niezbędna jest wiedza o rozmiarze opóźnienia wejście-wyjście tranzystora, a więc o czasie opóźnienia przy załączaniu $t_{d(on)}$. Jak stwierdziliśmy przed chwilą, opóźnieniu między początkiem procesu w obwodzie bramki a początkiem procesu w obwodzie głównym odpowiada ładunek Q_{GS1} . Zauważyliśmy przy okazji, że w tym odcinku czasu $u_{DS} = U_{DD}$, zaś

$$C_{GD}|_{U_{DS}=U_{DD}} \ll C_{GS} \quad (2.33)$$

dlatego wzór (2.11) można uprościć do

$$C_{in}(t_{d(on)}) = C_{GS} = \text{const} \quad (2.34)$$

W takim razie ładowanie odbywa się wykładniczo, przy czym wymuszeniem jest różnica napięć $U_{GG(on)} - U_{GG(off)}$, zaś stanem ustalonym – napięcie $U_{GG(on)}$, stąd

$$u_{GS} = U_{GG(on)} - (U_{GG(on)} - U_{GG(off)}) \cdot e^{-t/R_G C_{GS}} \quad (2.35)$$

Podstawiając $u_{GS} = U_{GS(plt)}$ otrzymujemy

$$e^{-t_{d(on)}/R_G C_{GS}} = \frac{U_{GG(on)} - U_{GS(plt)}}{U_{GG(on)} - U_{GG(off)}} \Rightarrow t_{d(on)} = R_G C_{GS} \ln \frac{U_{GG(on)} - U_{GG(off)}}{U_{GG(on)} - U_{GS(plt)}} \quad (2.36)$$

Zauważmy, że pojemność C_{GS} można obliczyć zapisując wzór (2.16) dla punktu B charakterystyki ładunku bramki (rys. 6), a więc po dostarczeniu ładunku Q_{GS1} :

$$C_{GS} = \frac{Q_{GS1}}{U_{GS(th)}} \quad (2.37)$$

Jednak z zasady ataku prądowego wynika, że $u_{DS} = U_{DD}$ podczas dostarczania całego ładunku Q_{GS} , a więc uproszczenie (2.34) pozostaje ważne aż do punktu C, stąd również

$$C_{GS} = \frac{Q_{GS}}{U_{GS(plt)}} \quad (2.38)$$

Ponieważ wartości Q_{GS} i $U_{GS(plt)}$ dostępne są zawsze, uniwersalnym wyrażeniem będzie

$$t_{d(on)} = \frac{R_G Q_{GS}}{U_{GS(plt)}} \ln \frac{U_{GG(on)} - U_{GG(off)}}{U_{GG(on)} - U_{GS(plt)}} \quad (2.39)$$

2.3.e. Wyłączenie

Dla odcinka czasu opadania t_f wzór (2.25) po podstawieniu wartości napięć daje

$$I_G(t_f) = \frac{U_{GG(off)} - U_{GS(plt)}}{R_G} \quad (2.40)$$

Analogicznie jak dla załączania:

- w odcinku czasu $t_5 \dots t_7$ z bramki usuwany jest dokładnie ładunek $Q_{G(on)}$,
- w odcinku czasu $t_6 \dots t_7$ napięcie u_{DS} jest już wysokie, więc $C_{GD} \ll C_{GS}$,
- wobec tego z bramki usuwany jest z dobrym przybliżeniem ładunek Q_{GS1} ,
- a więc w czasie $t_5 \dots t_6$, czyli czasie t_f , usuwana jest reszta ładunku $Q_{G(on)}$:

$$\Delta q(t_f) = \Delta q(\Delta t_{57}) - \Delta q(\Delta t_{67}) = -(Q_{G(on)} - Q_{GS1}) = -(Q_{GS2} + Q_{GD}) \quad (2.41)$$

przy czym znak „-” odzwierciedla usuwanie ładunku.

Ze wzoru (2.40) wynika, że prąd rozładowania jest stały, a więc pochodna (2.26) może być uproszczona do

$$I_G(t_f) = \frac{dq_G}{dt} = \frac{\Delta q_G}{\Delta t} = \frac{\Delta q_G(t_f)}{t_f} = \frac{-(Q_{GS2} + Q_{GD})}{t_f} \quad (2.42)$$

Podstawiając powyższe do (2.40) otrzymujemy wynik ostateczny:

$$t_f = \frac{R_G (Q_{GS2} + Q_{GD})}{U_{GS(plt)} - U_{GG(off)}} \quad (2.43)$$

Przy tym jeżeli składniki ładunku Q_{GS} nie są znane, to należy wynik zawyżyć przyjmując $\Delta q(t_f) \approx Q_{G(on)}$:

$$t_f = \frac{R_G Q_{G(on)}}{U_{GS(plt)} - U_{GG(off)}} \quad (2.44)$$

Czas opóźnienia przy wyłączaniu $t_{d(\text{off})}$ można oszacować ze wzoru

$$t_{d(\text{off})} = \frac{R_G Q_{G(\text{exc})}}{U_{GG(\text{on})} - U_{GS(\text{plt})}} \ln \frac{U_{GG(\text{on})} - U_{GG(\text{off})}}{U_{GS(\text{plt})} - U_{GG(\text{off})}} \quad (2.45)$$

Można go uzyskać w sposób analogiczny, jak wzór (2.39), po uwzględnieniu, że w czasie $t_{d(\text{off})}$:

- w przedziale t_4 – t_5 , a więc w czasie $t_{d(\text{off})}$, usuwany jest dokładnie ładunek $Q_{G(\text{exc})}$,
- napięcie u_{DS} w tym przedziale czasu jest stałe (równe $U_{DS(\text{on})}$), więc pojemność wejściowa jest również stała [patrz zależność (2.15)],
- rozładowanie pojemności wymuszone jest przez różnicę napięć $U_{GG(\text{off})} - U_{GG(\text{on})}$,
- po czasie $t_{d(\text{off})}$ napięcie u_{GS} osiąga wartość $U_{GS(\text{plt})}$.

2.4. Rzeczywiste układy sterowania

2.4.a. Rzeczywiste źródła impulsów bramkowych

Do tej pory uznawaliśmy u_g za idealne źródło napięcia, tj. o idealnej stabilności napięcia, zerowej rezystancji wewnętrznej i nieskończonej wydajności prądowej. Rzeczywiste źródła takimi nie są, co musi być uwzględnione na etapie projektowania obwodu sterowania tranzystora polowego.

Rolę źródła napięcia i ładunku potrzebnych do sterowania bramką pełni z reguły para komplementarnych tranzystorów (bipolarnych lub unipolarnych) podłączona do w miarę stabilnego źródła napięcia. Tworzą one **bufor** (ang. *buffer*), tj. układ:

- 1° o dużej rezystancji wejściowej (nie pobiera dużo prądu od strony swojego wejścia) i
- 2° o małej rezystancji wyjściowej (może dostarczyć dużo prądu przy niskim spadku napięcia, czyli małej stracie amplitudy i małej stracie mocy).

Bufor można uznać za **specyficzny rodzaj wzmacniacza**, który wzmacnia nie sygnały ciągłe, ale dyskretne (zerojedynkowe, prostokątne, impulsowe). Wzmacniacz ten nie musi (choć może) zwiększać amplitudy sygnału. Istotna jest tu moc, jaka może być dostarczona do bramki poprzez wymuszenie przebiegu napięcia o danym kształcie. Idzie więc o to, aby do bramki mógł popłynąć odpowiednio duży prąd.

Wspomniana para tranzystorów może być połączeniem dwóch elementów dyskretnych. Jednak zwykle prościej jest skorzystać z odpowiedniego układu scalonego, który posiada zoptymalizowane, wyznaczone, podane i gwarantowane przez producenta parametry. Takim układem może w szczególności być (poczynając od najprostszego):

- 1) **wzmacniacz operacyjny** lub **bramka logiczna** o dużej wydajności prądowej;
- 2) **sterownik bramki** (ang. *gate driver*) – układ dedykowany do współpracy z polowymi tranzystorami mocy, w wersji podstawowej mogący składać się z samego tylko bufora, jednak bardziej zaawansowane zawierają również bloki zabezpieczeń, symetryzacji opóźnień, przesunięcia poziomów napięcia, izolacji optycznej itp.;
- 3) **generator impulsów** (ang. *pulse generator*) – zawierający w sobie oprócz bufora, blok generatora sygnału impulsowego o odpowiednim (zwykle nastawnym) czasie trwania i częstotliwości powtarzania;
- 4) **mikrokontroler** (ang. *microcontroller*) – mikroprocesor dedykowany do sterowania elementami wykonawczymi (np. tranzystorami mocy), pozwalający na programową generację dowolnych praktycznie impulsów sterujących i posiadający wyjście o wydajności prądowej umożliwiającej bezpośrednie podłączenie do bramki tranzystora.

2.4.b. Parametry źródeł rzeczywistych

Z punktu widzenia obwodu bramki, najważniejszymi parametrami rzeczywistych źródeł sterujących są:

- 1) **maksymalny wydawany prąd wyjściowy** (ang. *maximum output source current*, oznaczany I_{O+} , $I_{O(\text{source})}$ lub podobnie) – to maksymalny prąd, jaki może płynąć od dodatniego bieguna źródła napięcia zasilającego przez bufor do bramki. Odnosi się do sytuacji, gdy wyjście bufora jest w stanie wysokiego napięcia U_{OH} (według naszych oznaczeń – $U_{GG(\text{on})}$). Wartość tego parametru wynika z ograniczeń elektrycznych (praca tranzystorów wyjściowych z niskim spadkiem napięcia) i cieplnych (straty mocy powodujące nagrzewanie układu). Zazwyczaj obowiązuje dla określonego maksymalnego czasu trwania przepływu prądu;

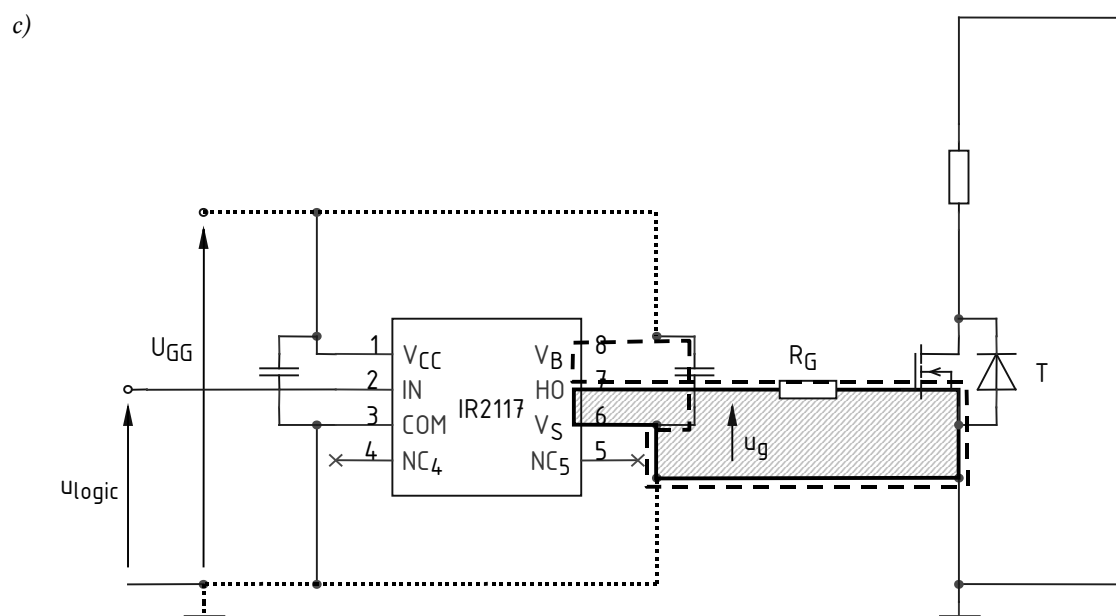
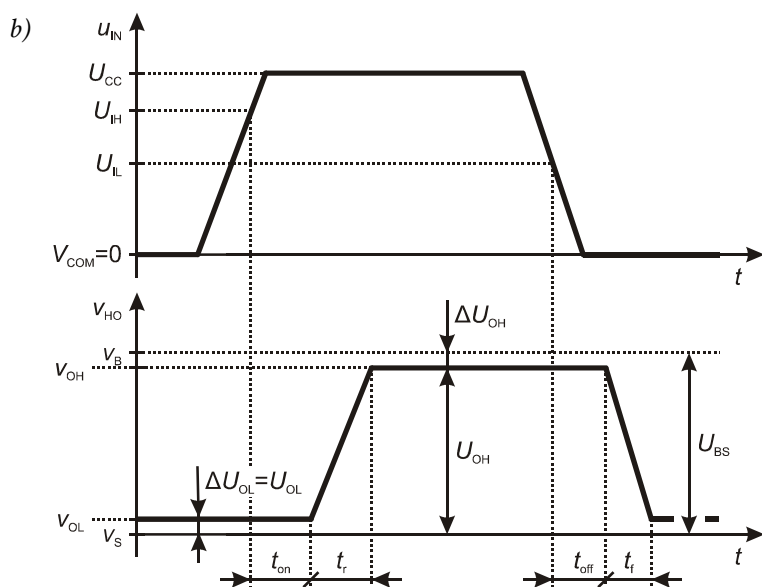
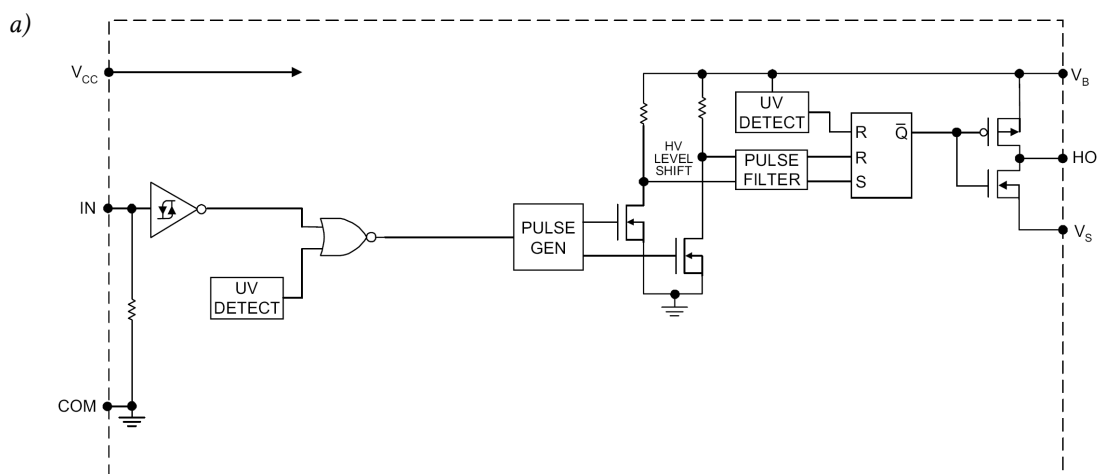
- 2) **maksymalny pochłaniany prąd wyjściowy** (ang. *maximum output sink current*, oznaczany I_{O-} , $I_{O(sink)}$ lub podobnie) – to maksymalny prąd, jaki może płynąć od bramki przez bufor. Odnosi się do sytuacji, gdy wyjście bufora jest w stanie niskiego napięcia U_{OL} (według naszych oznaczeń – $U_{GG(off)}$). Wynika z tych samych ograniczeń, co poprzedni parametr i również obowiązuje dla określonego maksymalnego czasu przepływu;
- 3) **rezystancja wyjściowa w stanie wysokim** R_{OH} albo **spadek napięcia na wyjściu w stanie wysokim** ΔU_{OH} – pozwalają pośrednio (R_{OH}) lub bezpośrednio (ΔU_{OH}) określić spadek napięcia, jaki wprowadzi układ scalony, gdy bufor znajduje się w stanie wysokiego napięcia i płynie prąd. Efektywne napięcie sterujące bramką $U_{GG(on)} = U_{OH}$ nie jest równe napięciu źródła zasilania, ale napięciu źródła pomniejszonemu o tenże spadek;
- 4) **rezystancja wyjściowa w stanie niskim** R_{OL} albo **spadek napięcia na wyjściu w stanie niskim** ΔU_{OL} – pozwalają określić spadek napięcia, jaki wprowadzi układ scalony, gdy bufor znajduje się w stanie niskiego napięcia i płynie prąd z bramki określony prąd. Efektywne napięcie sterujące bramką $U_{GG(off)} = U_{OL}$ nie jest równe zeru, ale temuż spadkowi;
- 5) **czas narastania napięcia wyjściowego** t_r i **czas opadania napięcia wyjściowego** t_f – określają, jak długo będzie trwał zboczy sygnału u_g . Jest oczywiste, że całkowity czas załączania t_{on} tranzystora nie może być krótszy od czasu t_r sterownika, a czas t_{off} tranzystora nie może być krótszy od czasu t_f sterownika.

2.4.c. Przykładowy sterownik bramki

Jednym z najprostszych sterowników bramki jest układ scalony IR2117, którego schemat blokowy przedstawia rys. 7a. Zawiera on kolejno (patrząc od wejścia):

- 1) **bufor wejściowy** (symbol inwertera) – zapewniający dużą rezystancję wejściową, posiadający wejście Schmitta (symbol histerezy), co zapewnia, że układ nie będzie reagował na zaburzenia sygnału wejściowego IN;
- 2) **bramkę NOR** – wyłączającą układ, jeżeli wykryte zostanie zbyt niskie napięcie zasilania (blok *Undervoltage Detect*);
- 3) **generator impulsów** (blok *Pulse Generator*) – generujący sygnał S (ustawianie) dla przerzutnika, gdy na wejściu IN zostanie wykryty poziom wysoki, i sygnał R (kasowanie), gdy na wejściu IN zostanie wykryty poziom niski;
- 4) **przesuwnik poziomu napięcia** (blok *High Voltage Level Shift*) – zmieniający potencjał odpowiadający poziomowi wysokiemu z V_{CC} na V_B ;
- 5) **filtr impulsów** – zwiększający szybkość działania (stromość zboczy) i odporność na zaburzenia;
- 6) **przerzutnik RS** – bezpośrednio sterujący buforem wyjściowym i dodatkowo ustawiający bezpieczny stan niski na wyjściu, jeżeli wykryte zostanie zbyt niskie napięcie zasilania (drugi blok *Undervoltage Detect*);
- 7) **bufor wyjściowy** – zapewniający niską rezystancję wyjściową, zbudowany z pary tranzystorów MOSFET w układzie inwertera, tj. odwracającej sygnał z wyjścia $\bar{Q}$ przerzutnika (zamieniającej stan wysoki na niski i odwrotnie).

Sam bufor wyjściowy działa następująco. Gdy $\bar{Q} = 0$, to załączony jest górny tranzystor PMOS, przez co wyjście OUT jest zwierane (nie idealnie) do końcówki V_B , która powinna być podłączona do dodatniego bieguna źródła zasilania obwodu bramki. Gdy natomiast $\bar{Q} = 1$, to załączony jest dolny tranzystor NMOS, przez co wyjście HO jest zwierane do końcówki V_S , która powinna być podłączona do ujemnego bieguna (masy) źródła.



Rys. 7. Scalony sterownik bramki IR2117: a) schemat blokowy; b) przebieg napięcia wejściowego (końcówka IN względem COM) i wyjściowego (końcówka OUT względem V_S); c) zastosowanie w układzie

Przebiegi obrazujące działanie sterownika przedstawiono na rys. 7b. Jak widać, sygnał wyjściowy $u_{HO} = v_{HO} - v_S$ podąża za sygnałem wejściowym $u_{IN} = v_{IN} - v_S$ z pewnym opóźnieniem (odpowiednio t_{on} lub t_{off}). Potencjał końcówki HO v_{HO} zmienia się między wartością $v_{OL} = v_S + \Delta U_{OL}$ (poziom niski) a wartością $v_{OH} = v_B - \Delta U_{OH}$ (poziom wysoki). Czasy narastania i opadania tego sygnału są niezależne od stromości sygnału wejściowego u_{IN} . Wynikają one wyłącznie z możliwości sterownika.

Na wykresie uwidoczniono działanie przerzutnika Schmitta. Powoduje on, że próg detekcji poziomu wysokiego na wejściu U_{IH} jest wyższy od poziomu detekcji poziomu niskiego U_{IL} . Dzięki temu nawet gdyby po przekroczeniu (w górę) progu U_{IH} zaburzenia spowodowały krótkotrwałe obniżenie napięcia u_{IN} , to nie spowoduje to przełączenia wyjścia OUT w drugi ze stanów. Zaburzenia musiałyby mieć bowiem tak dużą amplitudę (ujemną), że przekroczony zostałby (w dół) próg U_{IL} .

Tranzystory wyjściowe posiadają pewną niezerową rezystancję. Z niej wynikają spadki ΔU_{OH} (PMOS) i ΔU_{OL} (NMOS) oraz straty mocy, ograniczające prąd wyjściowy. Dodatkowe ograniczenie na prąd nakłada charakterystyka wyjściowa każdego z tranzystorów. Amplituda napięcia na wyjściu przerzutnika RS, równa napięciu zasilania obwodu bramki U_{BS} , pozwala na przewodzenie określonego (nie większego) prądu – dokładnie tak, jak to ma miejsce w tranzystorach mocy (patrz paragraf 2.1.b).

Ze względu na mniejszą ruchliwość dziur niż elektronów, silniej ograniczony jest prąd wydawany – płynący z końcówki V_B do OUT przez tranzystor PMOS ($I_{O+(max)} = 200$ mA przez maksymalnie 10 μ s), niż prąd pochłaniany – płynący z końcówki OUT do V_S przez tranzystor NMOS ($I_{O-(max)} = 420$ mA przez maksymalnie 10 μ s). Z tego samego powodu czas opadania sygnału na wyjściu jest mniejszy od czasu narastania.

Dla zorientowania się w rzędzie wielkości współczesnych osiągnięć, przytoczmy również inne parametry układu IR2117: $\Delta U_{OH(max)} = \Delta U_{OL(max)} = 100$ mV (przy braku przepływu prądu), $t_{r(typ)} = 80$ ns, $t_{f(typ)} = 40$ ns.

Przykład zastosowania sterownika IR2117 do sterowania bramką tranzystora MOSFET podaje rys. 7c. W tym przypadku punkty V_S i COM są połączone do wspólnej masy, więc potencjał końcówki V_S jest stały i równy 0. Zasilanie strony logicznej układu (V_{CC}) i strony bramki (V_B) jest również realizowane z tego samego napięcia U_{GG} . Dwa kondensatory o wartości rzędu 100 nF zapewniają filtrację szybkich zaburzeń – niezbędną w układzie bezpośrednio współpracującym z elementem mocy.

Grubszą linią na rys. 7c zaznaczono pętlę przepływu prądu dostarczającego ładunek do bramki $i_{G(on)}$ (linia kreskowa) oraz odbierającego ładunek z bramki $i_{G(off)}$ (linia ciągła). Ze względu na minimalizację elementów pasożytniczych (R i L) oraz emisji zaburzeń (działanie anteny), pętla ta powinna mieć zawsze jak najmniejsze wymiary geometryczne – długość obwodu i pole obejmowanej powierzchni (zakresowane kolorem szarym).

Z tego punktu widzenia istotne jest również zastosowanie kondensatora włączonego między wyprowadzenia V_B i V_S . Pełni on rolę źródła ładunku dla wysokich częstotliwości, a więc w chwilach szybkich zmian w obwodzie bramki, a zarazem odprzęga ten obwód od obwodu zasilania U_{GG} . Przy braku tego kondensatora obwód bramki byłby zasilany bezpośrednio ze źródła U_{GG} , co oznaczałoby znaczące wydłużenie tego obwodu (linia kropkowa na rys. 7c), a także zapady i podskoki potencjału V_B w chwilach szybkich zmian prądu i_G . Rola tego elementu jest jeszcze istotniejsza w przypadku sterowania tranzystorem w konfiguracji klucza górnego. Stanowi on wówczas kluczowy składnik samoladującego obwodu zasilania (ang. *bootstrap*).

2.5. Dalsze zastosowania ładunku bramki

2.5.a. Obciążenie źródła

Projektant musi zapewnić, że nie zostanie przekroczona wydajność źródła impulsów. W przeciwnym razie ładunek będzie dostarczany do bramki wolniej niż przewidywano i **czasy przełączania będą dłuższe**. Może również dojść do **przegrzania sterownika**.

Z powyższego punktu widzenia poprawną pracę zapewnia spełnienie warunków

$$i_{G(\text{on})} \leq I_{\text{source}} \quad (2.46)$$

$$|i_{G(\text{off})}| \leq I_{\text{sink}} \quad (2.47)$$

W zależności od konkretnego układu i wymagań projektowych, może być konieczne wzięcie pod uwagę wartości szczytowych prądu bramki w całym przedziale czasu przełączania ($t_{\text{on(g)}}$ i $t_{\text{off(g)}}$), lub też wyłącznie w czasie faktycznej zmiany wielkości wyjściowych (t_r i t_f).

W tym drugim przypadku prądy wyrażają się zależnościami (2.30) i (2.42). Natomiast w przypadku pierwszym mogą być one łatwo obliczone z wartości rezystancji R_G , obliczonej na podstawie ładunku bramki, w następujący sposób.

Podczas załączania prąd bramki osiąga **wartość szczytową** $i_{G(\text{pk})}$ w chwili t_0 (rys. 1b). Wówczas bowiem wymuszona jest największa różnica napięć między źródłem sterującym a obwodem bramki tranzystora ($u_g = U_{GG(\text{on})}$, $u_{GS} = U_{GG(\text{off})}$). Tak więc, przyjmując rzeczywiste źródło impulsów sterujących,

$$i_{G(\text{pk})} = i_G(t_0) = \frac{U_{GG(\text{on})} - U_{GG(\text{off})}}{R_G} = \frac{(U_{GG} - \Delta U_{OH}) - (0 + \Delta U_{OL})}{R_G} = \frac{U_{GG} - (\Delta U_{OH} + \Delta U_{OL})}{R_G} \quad (2.48)$$

gdzie U_{GG} jest napięciem zasilania bufora wyjściowego ($v_B - v_S$ dla układu IR2117 omówionego w paragrafie 2.4.c), zaś ΔU_{OH} i ΔU_{OL} – odpowiednimi parametrami sterownika (patrz paragraf 2.4.b). Przy wyłączaniu szczytowy prąd płynie w chwili t_4 i wymuszony jest przez taką samą (choć odwrotnie skierowaną) różnicę napięć ($u_g = U_{GG(\text{off})}$, $u_{GS} = U_{GG(\text{on})}$). W związku z tym szczytowa wartość prądu obliczona powyżej obowiązuje również dla wyłączania.

2.5.b. Pobór mocy przez obwód sterowania

W celu oszacowania mocy, jaką obwód sterowania pobiera ze źródła zasilania, należy wziąć pod uwagę wyłącznie ładunek dostarczany do bramki. Ładunek odbierany nie powinien być uwzględniony, gdyż jest to ten sam ładunek, który poprzednio dopłynął do pojemności wejściowej tranzystora. W związku z tym z przepływem wstecznego prądu bramki przy wyłączaniu nie jest związany żaden pobór mocy ze źródła zasilania.

Zakładając, że napięcie zasilania sterownika bramki U_{GG} jest stałe, moc czynna pobierana ze źródła energii wynosi

$$P_G = \frac{1}{T_s} \int_{T_s} U_{GG} i_{GG} dt = U_{GG} \frac{1}{T_s} \int_{T_s} i_{GG} dt = U_{GG} I_{GG(\text{av})} \quad (2.49)$$

gdzie i_{GG} oznacza prąd pobierany ze źródła napięcia U_{GG} – równy prądowi bramki i_G w czasie trwania stanu przejściowego w obwodzie bramki ($t_{\text{on(g)}}$ na rys. 1b) oraz 0 przez resztę okresu T_s . A więc

$$I_{GG(av)} = \frac{1}{T_s} \int_{T_s} i_{GG} dt = \frac{1}{T_s} \int_{t_{on(g)}} i_G dt = \frac{1}{T_s} \Delta q_G(t_{on(g)}) = f_s Q_{G(tot)} \quad (2.50)$$

gdyż ładunek pobrany przez bramkę w całkowitym czasie załączania w obwodzie bramki $t_{on(g)}$ to z definicji całkowity ładunek bramki $Q_{G(tot)}$. Ostatecznie

$$P_G = f_s U_{GG} Q_{G(tot)} \quad (2.51)$$

2.5.c. Moc strat w elementach obwodu sterowania

Znajomość prognozowanej mocy strat jest istotna dla **bezpiecznej pracy sterownika**. Uzyskaną wartość należy porównać z podaną w katalogu maksymalną dopuszczalną mocą rozpraszaną w układzie. Na straty mocy w sterowniku składają się:

- 1) moc pobierana (i tracona) w blokach wewnętrznych, wynikająca z ciągłej pracy układu;
- 2) moc wydzielana w buforze wyjściowym, wynikająca z cyklicznego przepływu impulsów prądu ładowania i rozładowania bramki tranzystora.

Oszacowanie mocy strat na wyjściu sterownika można uzyskać w analogiczny sposób, jak w paragrafie 2.5.b. W tym celu należy tylko przyjąć założenie upraszczające, że spadek napięcia na wyjściu jest stały przez cały czas przepływu impulsu prądu i wynosi odpowiednio ΔU_{OH} dla załączania tranzystora i ΔU_{OL} dla wyłączania. W każdym z tych odcinków czasu przez wyjście układu (lub dolny tranzystor bufora) przepływa całkowity ładunek bramki $Q_{G(tot)}$ – najpierw dostarczany poprzez górny tranzystor bufora, a następnie usuwany poprzez dolny. Tak więc **moc czynna strat na wyjściu**

$$P_{contr,O} = P_{contr,O(on)} + P_{contr,O(off)} = f_s Q_{G(tot)} \Delta U_{OH} + f_s Q_{G(tot)} \Delta U_{OL} = f_s Q_{G(tot)} (\Delta U_{OH} + \Delta U_{OL}) \quad (2.52)$$

Pobór mocy przez bloki wewnętrzne również odbywa się przy stałym napięciu – jest nim napięcie zasilania układu U_{GG} . Jeżeli przyjmiemy, że przez cały czas bloki te pobierają maksymalny możliwy prąd $I_{sup(max)}$ (podawany w karcie katalogowej), to **moc czynna strat wewnątrz sterownika**

$$P_{contr,int} = U_{GG} I_{sup(max)} \quad (2.53)$$

W sumie moc strat w sterowniku

$$P_{contr} = P_{contr,int} + P_{contr,O} = U_{GG} I_{sup(max)} + f_s Q_{G(tot)} (\Delta U_{OH} + \Delta U_{OL}) \quad (2.54)$$

Nie mniej istotny jest dobór **opornika bramkowego** R_G o odpowiedniej mocy dopuszczalnej. Zakładając dla uproszczenia, że rezystancja źródła i rezystancja wewnętrzna bramki są mało znaczące, można uznać, że cała rezystancja R_G jest wartością fizycznego opornika. Założmy dodatkowo, że przez cały czas załączania (w obwodzie bramki) $t_{on(g)}$ lub wyłączania $t_{off(g)}$ na oporniku R_G panuje napięcie takie, jak odpowiednio w czasie narastania t_r lub opadania t_f .

Napięcie na oporniku wynosi zawsze

$$u_{RG} = u_g - u_{GS} \quad (2.55)$$

skąd

$$\begin{aligned} u_{RG}(t_r) &= U_{GG(on)} - U_{GS(plt)} \\ u_{RG}(t_f) &= U_{GG(off)} - U_{GS(plt)} \end{aligned} \quad (2.56)$$

Drugie z powyższych założeń jest to o tyle uprawnione, że:

- 1° w czasie opóźnienia $t_{d(on)}$ różnica potencjałów na rezystancji R_G jest wprawdzie większa (maksymalnie, w chwili t_0 – rys. 1b, wynosi $U_{GG(on)} - U_{GG(off)}$), ale $t_{d(on)} \ll t_{on(g)}$;
- 2° czas końcowego ustalania się napięcia u_{GS} ($t_2 - t_3$) jest stosunkowo długi, ale różnica potencjałów jest mniejsza niż w czasie t_r , gdyż napięcie u_{GS} jest wyższe – a więc nie popełnimy niedoszacowania (a to ono byłoby niebezpieczne dla opornika);
- 3° w czasie od t_4 do t_5 różnica potencjałów jest ponownie większa niż w czasie t_f (maksymalnie, w chwili t_4 , wynosi $U_{GG(off)} - U_{GG(on)}$), ale odcinek ten jest stosunkowo krótki, a poza tym można uznać, że kompensuje go mniejszy spadek napięcia na odcinku $t_2 - t_3$;
- 4° czas końcowego ustalania się napięcia u_{GS} jest stosunkowo długi, ale różnica potencjałów jest mniejsza niż w czasie t_f .

Moc strat w oporniku bramki wyraża się z definicji wzorem

$$P_{RG} = \frac{1}{T_s} \int_{T_s} u_{RG} i_G dt \quad (2.57)$$

Po uwzględnieniu, że prąd płynie tylko w odcinkach $t_{on(g)}$ i $t_{off(g)}$ oraz przy założeniu o stałości napięcia w tych odcinkach zgodnie ze wzorami (2.56),

$$\begin{aligned} P_{RG} &= \frac{1}{T_s} \left(\int_{t_{on(g)}} u_{RG} i_G dt + \int_{t_{off(g)}} u_{RG} i_G dt \right) = \frac{1}{T_s} \left[(U_{GG(on)} - U_{GS(plt)}) \int_{t_{on(g)}} i_G dt + (U_{GG(off)} - U_{GS(plt)}) \int_{t_{off(g)}} i_G dt \right] = \\ &= f_s [(U_{GG(on)} - U_{GS(plt)}) Q_{G(tot)} + (U_{GG(off)} - U_{GS(plt)}) (-Q_{G(tot)})] = \\ &= f_s Q_{G(tot)} (U_{GG(on)} - U_{GG(off)}) = f_s Q_{G(tot)} [U_{GG} - (\Delta U_{OH} + \Delta U_{OL})] \end{aligned} \quad (2.58)$$

Można zauważyć, że

$$P_{RG} + P_{contr,O} = P_G \quad (2.59)$$

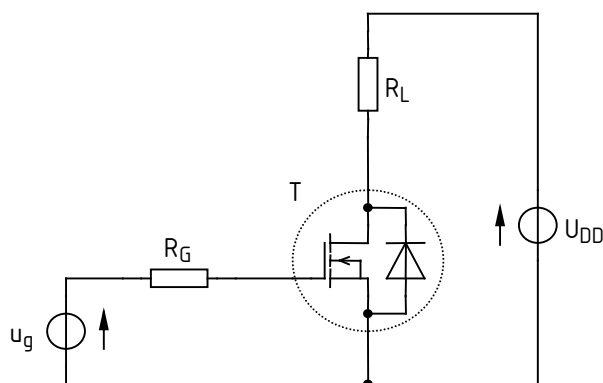
co świadczy, że nasz system oszacowań jest spójny. Cała (szacunkowa) energia dostarczana do obwodu bramki jest tracona w jedynych elementach, o których założyliśmy, iż są dyssypatywne: rezystancji bramkowej R_G i wyjściu sterownika o niezerowych spadkach napięć ΔU_{OH} i ΔU_{OL} .

Zwróćmy uwagę, że wszystkie parametry opisujące przepływ i wydzielanie energii w obwodzie bramki zależą od całkowitego ładunku bramki $Q_{G(tot)}$ – a nie od załączającego ładunku bramki $Q_{G(on)}$.

3. Projekt

Rozważany układ i założenia projektowe

Należy zaprojektować obwód sterowania dla tranzystora MOSFET pracującego w układzie klucza dolnego. Schemat ideowy układu przedstawiono na rys. 8. Parametry obwodu mocy oraz symbole elementów zostaną podane każdemu z zespołów indywidualnie.



Rys. 8. Schemat ideowy układu klucza dolnego z tranzystorem MOSFET

Zadanie polega na zaprojektowaniu (w zakresie doboru parametrów) obwodu sterowania, na który składają się źródło impulsów u_g i opornik bramkowy R_G . Narzucone parametry sterowania to: częstotliwość $f_s = 100$ kHz, współczynnik wypełniania impulsów $D = 0,2$, przy czym

$$D = \frac{t_i}{T_s} = t_i f_s, \quad (60)$$

gdzie t_i jest czasem trwania pojedynczego impulsu napięcia u_g . Cały obwód sterowania musi być zasilany z jednego źródła – zasilacza laboratoryjnego o zakresie napięć wyjściowych 0...30 V (co najmniej).

Przebieg projektowania

1. W oparciu o wiadomości podane w części B niniejszej instrukcji, dobrać optymalne parametry impulsu u_g , tj. poziomy $U_{GG(on)}$ i $U_{GG(off)}$.
2. W karcie katalogowej sterownika bramki sprawdzić, czy możliwe jest uzyskanie wartości dobranych w punkcie 1 (odnieść się do zalecanych warunków pracy, nie do maksymalnych dopuszczalnych). Jeżeli to konieczne, należy założyć, że poziom $U_{GG(on)}$ jest równy napięciu zasilania sterownika. W tej chwili pominąć zagadnienie spadku napięcia na wyjściu sterownika. W razie stwierdzenia takiej potrzeby, dostosować wartości $U_{GG(on)}$ i $U_{GG(off)}$ do możliwości sterownika.
3. Należy założyć, że w rzeczywistości napięcie zasilania sterownika bramki byłoby wytwarzane za pośrednictwem liniowego stabilizatora napięcia. Powszechnie dostępne są stabilizatory na napięcia: 5, 6, 8, 9, 10, 12, 15 i 18 woltów. Tym samym napięciem będą musiały być zasilone pozostałe układy wchodzące w skład układu sterowania: NE555 oraz HCF4093. Dostosować napięcie zasilania do tych założeń (sprawdzić, czy wskazane układy mogą być takim napięciem zasilane).
4. W oparciu o wiadomości podane w części B niniejszej instrukcji (skorzystać z odpowiedniego wzoru) oraz wyniki z poprzednich punktów, dobrać wartość rezystancji bramkowej R_G tak, aby średnia stromość narastania napięcia dren-źródło przy wyłączaniu była nie większa niż podana w założeniach projektu. Średnia jest równoważna założeniu, że napięcie narasta jednostajnie przez cały czas opadania t_f . W toku obliczeń wyznaczyć wartość tego czasu.
5. Korzystając z odpowiednich wzorów wyprowadzonych w części B, obliczyć przewidywany prąd bramki $I_{G(off)}$ i $I_{G(on)}$ przy założeniu, że są one stałe przez cały czas odpowiednio t_f lub t_r . Wyznaczyć także wartość tego drugiego czasu.
6. W karcie katalogowej sterownika bramki sprawdzić, czy jego wydajność pozwala na dostarczenie do bramki prądu obliczonego w punkcie 5, a także czy obliczone czasy t_r i t_f nie są mniejsze niż czasy narastania i opadania sygnału na wyjściu sterownika. Jeżeli wynik jest negatywny – zmodyfikować projekt (kosztem czasów), dostosowując go do możliwości sterownika i ponownie obliczyć czasy przełączania t_r i t_f , prądy $I_{G(on)}$ i $I_{G(off)}$ oraz stromość opadania prądu podczas wyłączania.
7. W karcie katalogowej sterownika bramki sprawdzić, jaki spadek napięcia na wyjściu wystąpi przy obliczonych prądach $I_{G(on)}$ (przy wyjściu w stanie wysokim) i $I_{G(off)}$ (przy wyjściu w stanie niskim). Na podstawie tych wyników oraz ustalonego wcześniej napięcia zasilania sterownika, obliczyć wynikowe poziomy $U_{GG(on)}$ i $U_{GG(off)}$. Stwierdzić, czy w tej sytuacji nie jest konieczne powtórzenie wcześniejszych obliczeń t_r , t_f i stromości prądu oraz modyfikacja wartości R_G . (Ponieważ dokładność szacunków jest niska, można przyjąć, że obliczeń nie trzeba powtarzać dopóki wpływ jest mniejszy niż 20%.)
8. Korzystając z odpowiednich wzorów wyprowadzonych w części B, obliczyć moc potrzebną na sterowanie tranzystora oraz moc strat w rezystancji bramkowej, która określi wymaganą moc znamionową opornika bramkowego.

4. Literatura

- [1] Starzak Ł.: *Laboratorium przyrządów i układów mocy. Ćwiczenie 3^A. Tranzystor MOSFET*. Łódź: Politechnika Łódzka, 2009.
- [2] Napieralski A., Napieralska M.: *Polowe półprzewodnikowe przyrządy dużej mocy*. Warszawa: Wydawnictwa Naukowo-Techniczne, 1995.